

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-165044

(43)公開日 平成 6 年(1994) 6 月10日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 5/335  
5/217

識別記号

庁内整理番号

F I

技術表示箇所

P

審査請求 未請求 請求項の数19(全 18 頁)

(21)出願番号 特願平4-318725

(22)出願日 平成 4 年(1992)11月27日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 亀山 隆

東京都品川区北品川 6 丁目 7 番35号 ソニ  
ー株式会社内

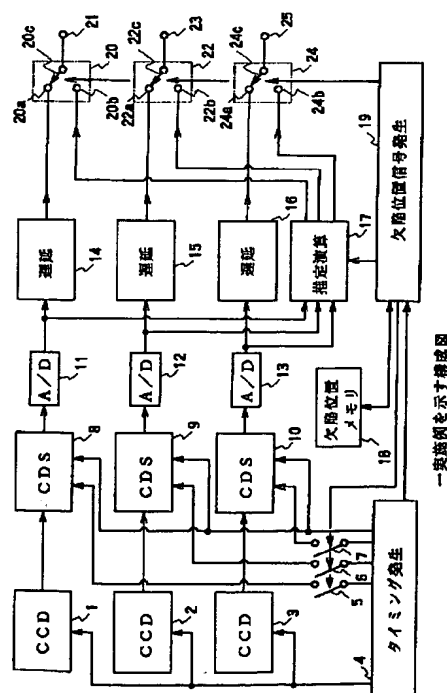
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 固体撮像素子の補正装置

(57)【要約】

【目的】 CCD素子の欠陥画素の出力を他のCCD素子の出力から推定することで、例えば細かい縦縞等の画像データも再現でき、これによって画質の劣化を防止することができるようにする。

【構成】 CCD素子1、2、3の出力を夫々サンプリングするCDS回路8、9、10と、欠陥画素の位置信号及び各種制御信号を発生する欠陥位置信号発生回路19と、CCD素子1、2、3に対してタイミング信号を供給すると共にCDS回路8、9、10にサンプリング信号を夫々供給するタイミング発生回路4と、CDS回路8、9、10からの出力に基いて補正対象となる画素の補正信号を夫々得る推定演算回路17と、欠陥位置信号発生回路19からのスイッチング信号に基いて本線信号と補正信号を切り換え出力するスイッチ20、22、24とを有する。



## 【特許請求の範囲】

【請求項1】 複数の固体撮像素子からの出力信号を夫々サンプリングする複数のサンプリング手段と、固体撮像素子の各画素の内、補正対象となる画素の位置を示す信号を発生すると共に、画素の位置に対応して各種制御信号を発生する制御手段と、

上記複数の固体撮像素子に対してタイミング信号を供給すると共に上記制御手段からの制御信号に基いて上記複数のサンプリング手段にサンプリング信号を夫々供給するタイミング発生手段と、

上記複数のサンプリング手段からの複数の出力信号に基いて上記補正対象となる画素の補正信号を夫々得る補正手段と、

上記制御手段からの制御信号に基いて上記サンプリング手段からの出力信号または上記補正信号を選択的に出力する出力手段とを有することを特徴とする固体撮像素子の補正装置。

【請求項2】 上記複数のサンプリング手段は、上記複数の固体撮像素子からの出力を、上記タイミング発生手段からの複数の第1及び第2のサンプルホールド信号に基いてサンプルホールドを行う相関2重サンプリング手段であることを特徴とする請求項1記載の固体撮像素子の補正回路。

【請求項3】 上記制御手段は、少なくとも上記複数の固体撮像素子の補正対象画素の位置を示す記憶手段を有することを特徴とする請求項1記載の固体撮像素子の補正装置。

【請求項4】 上記タイミング発生手段は、上記サンプリング手段に対する上記複数のサンプリング信号の供給を、上記制御手段からの制御信号に基いて選択する複数の選択手段を有することを特徴とする請求項1記載の固体撮像素子の補正装置。

【請求項5】 上記補正手段は、上記複数のサンプリング手段からの出力をデジタル信号に変換する複数の変換手段と、これら複数の変換手段からの各出力を夫々遅延する遅延手段と、

上記複数の変換手段からの各出力及び上記制御手段からの制御信号に基いて上記補正対象画素の補正信号を推定する推定演算手段とを有することを特徴とする請求項1記載の固体撮像素子の補正装置。

【請求項6】 上記推定演算手段においては、上記複数の固体撮像素子の内、第1及び第2の撮像素子の画素に対して画素ずらしがなされている第3の固体撮像素子の出力の補正対象画素の補正信号の推定を、上記複数の固体撮像素子の内、第1または第2の固体撮像素子の出力を用いて行うことを特徴とする請求項5記載の固体撮像素子の補正装置。

【請求項7】 上記推定演算手段においては、上記複数の固体撮像素子の内、第1の固体撮像素子の出

力の補正対象画素の補正信号の推定を、

上記複数の固体撮像素子の内、第2の固体撮像素子の出力を用いて行うことを特徴とする請求項6記載の固体撮像素子の補正装置。

【請求項8】 上記推定演算手段においては、上記複数の固体撮像素子の内、第2の固体撮像素子の出力の補正対象画素の補正信号の推定を、

上記複数の固体撮像素子の内、第1の固体撮像素子の出力を用いて行うことを特徴とする請求項6記載の固体撮像素子の補正装置。

【請求項9】 上記推定演算手段においては、上記複数の固体撮像素子の内、一方の固体撮像素子の出力の補正対象画素の補正信号を、他方の複数の固体撮像素子の出力に基いて得る場合に、レベルの高いものを選択することを特徴とする請求項5記載の固体撮像素子の補正装置。

【請求項10】 上記推定演算手段においては、上記複数の固体撮像素子の内、第3の固体撮像素子の出力の補正対象画素の補正信号を、第1及び第2の固体撮像素子の出力に基いて得る場合に、レベルの高いものを選択することを特徴とする請求項6記載の固体撮像素子の補正装置。

【請求項11】 上記推定演算手段は、上記複数の固体撮像素子の内、第1の固体撮像素子の出力と第1及び第2の固体撮像素子の演算出力とで演算を行う第1の演算手段と、

上記複数の固体撮像素子の内、上記第2の固体撮像素子の出力と上記第2及び第1の固体撮像素子の演算出力とで演算を行う第2の演算手段と、

上記複数の固体撮像素子の内、上記第1及び第2の固体撮像素子の画素に対して画素ずらしがなされている第3の固体撮像素子の出力と上記第2の固体撮像素子の平均出力とで演算を行う第3の演算手段とで構成されることを特徴とする請求項5記載の固体撮像素子の補正装置。

【請求項12】 上記第1の演算手段は、上記第1の固体撮像素子の出力をラッチする第1のラッチ手段と、

この第1のラッチ手段からの出力をラッチする第2のラッチ手段と、

上記第2の演算手段からの上記第2の固体撮像素子の出力と上記第1のラッチ手段からの出力とを乗算する乗算手段と、

上記第2のラッチ手段からの出力と上記乗算手段からの乗算出力とで割算を行う割算手段とで構成されることを特徴とする請求項6記載の固体撮像素子の補正装置。

【請求項13】 上記第2の演算手段は、上記第2の固体撮像素子の出力をラッチする第1のラッチ手段と、

この第1のラッチ手段からの出力をラッチする第2のラッチ手段と、

10

20

30

40

50

上記第1の演算手段からの上記第1の固体撮像素子の出力と上記第1のラッチ手段からの出力とを乗算する乗算手段と、

上記第2のラッチ手段からの出力と上記乗算手段からの乗算出力とで割算を行う割算手段とで構成されることを特徴とする請求項6記載の固体撮像素子の補正装置。

【請求項14】 上記第3の演算手段は、

上記第3の固体撮像素子の出力をラッチする第1のラッチ手段と、

上記第2の演算手段からの上記第2の固体撮像素子の現時点の出力及びこの現時点より1つ前の出力を加算して平均する平均手段と、

この平均手段からの平均出力及び上記第1のラッチ手段からの上記第3の固体撮像素子の出力を乗算する乗算手段と、

上記平均手段からの平均出力をラッチする第2のラッチ手段と、

この第2のラッチ手段からの出力と上記乗算手段からの乗算出力とで割算を行う割算手段とで構成されることを特徴とする請求項6記載の固体撮像素子の補正装置。

【請求項15】 上記推定演算手段は、

任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、上記複数の固体撮像素子の内、第1の固体撮像素子の出力を $y$ 、第2の固体撮像素子の出力を $x$ とし、時刻 $k$ に対応する上記第2の固体撮像素子の出力が補正すべき出力である場合に、

$y(k)/y(k-1) \cdot x(k-1)$ で示す式によって上記補正すべき出力の補正信号を求めることを特徴とする請求項5記載の固体撮像素子の補正装置。

【請求項16】 上記推定演算手段は、

上記複数の固体撮像素子の出力の内、少なくとも2つの固体撮像素子の出力を用いて、上記補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、上記曲線が極値をとる時刻を求め、上記補正すべき出力に対応する画素の複数の近傍画素と上記極値をとる時刻に基いて上記補正すべき出力の補正信号を推定することを特徴とする請求項5記載の固体撮像素子の補正装置。

【請求項17】 上記推定演算手段は、

任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、上記複数の固体撮像素子の内、第1の固体撮像素子の出力を $y$ 、第2の固体撮像素子の出力を $x$ とし、時刻 $k$ に対応する上記第2の固体撮像素子の出力が補正すべき出力である場合に、

$$\begin{aligned} & \{x(k+1) + x(k-1)\} / 2 \\ & - [\{x(k+1) - x(k-1)\} \\ & \{y(k+1) + y(k-1) - 2y(k)\} / 2 \\ & \{y(k+1) - y(k-1)\} \end{aligned}$$

で示す式によって上記補正すべき出力の補正信号を求めることを特徴とする請求項5記載の固体撮像素子の補正

装置。

【請求項18】 上記推定演算手段は、上記複数の固体撮像素子の出力の内、少なくとも互いに半画素周期のオフセットのある2つの固体撮像素子の出力を用いて、上記補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、上記曲線が極値をとる時刻を求め、上記補正すべき出力に対応する画素の複数の近傍画素と上記極値をとる時刻に基いて上記補正すべき出力の補正信号を推定することを特徴とする請求項5記載の固体撮像素子の補正装置。

【請求項19】 上記推定演算手段は、任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、上記複数の固体撮像素子の内、第1の固体撮像素子の出力を $y$ 、第2の固体撮像素子の出力を $x$ とし、時刻 $k$ に対応する上記第2の固体撮像素子の出力が補正すべき出力である場合に、

$$\begin{aligned} & \{x(k+1) + x(k-1)\} / 2 \\ & - [\{x(k+1) - x(k-1)\} \\ & \{y(k+1) + y(k-1) - 2y(k)\} / 4 \\ & \{y(k) - y(k-1)\} \end{aligned}$$

で示す式によって上記補正すべき出力の補正信号を求めることを特徴とする請求項5記載の固体撮像素子の補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばCCD素子を用いたビデオカメラカメラ等に適用して好適な固体撮像素子の補正装置に関する。

【0002】

【従来の技術】 従来、例えばCCD素子を用いたビデオカメラにおいては、CCD素子の各画素の内、光が入射していない状態で特異なレベルの信号を出力するいわゆる欠陥画素により、撮像して得た画像の画質が劣化するという問題があった。

【0003】 そこで従来では、ビデオカメラに欠陥画素が出力する信号を補正する補正回路を登載し、ユーザに対してビデオカメラを出荷する前に、ビデオカメラのCCD素子の内、どの画素が欠陥画素かを検査し、その検査の結果得られた欠陥画素を示す情報をビデオカメラの補正回路の記憶エリアに記憶する等して、ユーザの手に渡った後は、この補正回路によって欠陥画素が出力する信号が補正されるようにしていた。

【0004】 この補正の方法としては、いわゆる0次補間及び1次補間等の欠陥補正方法やいわゆるRPN（残留パターンノイズ）補正等の方法が実用化されている。

【0005】 前者の補正方法の内、0次補間は、欠陥画素から出力された信号をサンプリング回路においてホールドし、欠陥画素から出力された信号を1つ前の画素の信号に置き換える方法である。

【0006】また前者の補正方法の内、1次補間は、欠陥画素の1つ前の画素から出力される信号とこの欠陥画素の次の画素から出力される信号の平均を得、欠陥画素から出力される信号を平均信号に置き換える方法である。

【0007】また、後者の方法、即ち、RPN（残留パターンノイズ）補正は、ビデオカメラ内部で欠陥画素から出力される信号に相当する信号を発生させ、欠陥画素から出力される信号からこの発生した信号を減算して欠陥画素から出力される信号を相殺する方法である。

【0008】

【発明が解決しようとする課題】ところで、上述した欠陥画素から出力された信号をサンプリング回路においてホールドし、欠陥画素から出力された信号を1つ前の画素の信号に置き換える方法では、補正点での周波数帯域が $1/2$ になり、情報の欠落を発生させてしまい、これによって例えば細かい縦縞等の画像データを再現することができなくなり、非常に画質を劣化させてしまうという不都合があった。

【0009】本発明はかかる点に鑑みてなされたもので、例えば細かい縦縞等の画像データも再現でき、これによって画質の劣化を防止することのできるCCD素子の補正装置を提案しようとするものである。

【0010】

【課題を解決するための手段】本発明は、複数の固体撮像素子1、2、3からの出力信号を夫々サンプリングする複数のサンプリング手段8、9、10と、固体撮像素子1、2、3の各画素の内、補正対象となる画素の位置を示す信号を発生すると共に、画素の位置に対応して各種制御信号を発生する制御手段18、19と、複数の固体撮像素子1、2、3に対してタイミング信号を供給すると共に制御手段18、19からの制御信号に基づいて複数のサンプリング手段8、9、10にサンプリング信号を夫々供給するタイミング発生手段4、5、6、7と、複数のサンプリング手段8、9、10からの複数の出力信号に基づいて補正対象となる画素の補正信号を夫々得る補正手段11、12、13、14、15、16、17と、制御手段18、19からの制御信号に基づいてサンプリング手段8、9、10からの出力信号または補正信号を選択的に出力する出力手段20、22、24とを有するものである。

【0011】更に本発明は上述において、複数のサンプリング手段8、9、10を、複数の固体撮像素子1、2、3からの出力を、タイミング発生手段4、5、6、7からの複数の第1及び第2のサンプルホールド信号に基づいてサンプルホールドを行う相関2重サンプリング手段としたものである。

【0012】更に本発明は上述において、制御手段18、19は、少なくとも複数の固体撮像素子1、2、3の補正対象画素の位置を示す記憶手段18を有するもの

である。

【0013】更に本発明は上述において、タイミング発生手段4、5、6、7は、サンプリング手段8、9、10に対する複数のサンプリング信号の供給を、制御手段18、19からの制御信号に基づいて選択する複数の選択手段5、6、7を有するものである。

【0014】更に本発明は上述において、補正手段11、12、13、14、15、16、17を、複数のサンプリング手段8、9、10からの出力をデジタル信号に変換する複数の変換手段11、12、13と、これら複数の変換手段11、12、13からの各出力を夫々遅延する遅延手段14、15、16と、複数の変換手段14、15、16からの各出力及び制御手段18、19からの制御信号に基づいて補正対象画素の補正信号を推定する推定演算手段17とで構成したものである。

【0015】更に本発明は上述において、推定演算手段17において、複数の固体撮像素子1、2、3の内、第1及び第2の固体撮像素子1、2の画素に対して画素ずらしがなされている第3の固体撮像素子3の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子1、2、3の内、第1または第2の固体撮像素子1、2の出力を用いて行うものである。

【0016】更に本発明は上述において、推定演算手段17において、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子1、2、3の内、第2の固体撮像素子2の出力を用いて行うものである。

【0017】更に本発明は上述において、推定演算手段17において、複数の固体撮像素子1、2、3の内、第2の固体撮像素子2の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1の出力を用いて行うものである。

【0018】更に本発明は上述において、推定演算手段17において、複数の固体撮像素子1、2、3の内、一方の固体撮像素子1、2または3の出力の補正対象画素の補正信号を、他方の複数の固体撮像素子1、2または3の出力に基づいて得る場合に、レベルの高いものを選択するものである。

【0019】更に本発明は上述において、推定演算手段17において、複数の固体撮像素子1、2、3の内、第3の固体撮像素子3の出力の補正対象画素の補正信号を、第1及び第2の固体撮像素子1、2の出力に基づいて得る場合に、レベルの高いものを選択するものである。

【0020】更に本発明は上述において、推定演算手段17を、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1の出力と第1及び第2の固体撮像素子1、2の演算出力とで演算を行う第1の演算手段27、28、29、30と、複数の固体撮像素子1、2、3の内、第2の固体撮像素子2の出力と第2及び第1の固体撮像素子2、1の演算出力とで演算を行う第2の演算手

段33、34、35、36と、複数の固体撮像素子1、2、3の内、第1及び第2の固体撮像素子1、2の画素に対して画素ずらしがなされている第3の固体撮像素子3の出力と第2の固体撮像素子2の平均出力とで演算を行う第3の演算手段38、39、41、42、43、44とで構成したものである。

【0021】更に本発明は上述において、第1の演算手段27、28、29、30を、第1の固体撮像素子1の出力をラッチする第1のラッチ手段27と、この第1のラッチ手段27からの出力をラッチする第2のラッチ手段28と、第2の演算手段33、34、35、36からの第2の固体撮像素子2の出力と第1のラッチ手段27からの出力とを乗算する乗算手段29と、第2のラッチ手段28からの出力と乗算手段29からの乗算出力とで割算を行う割算手段30とで構成したものである。

【0022】更に本発明は上述において、第2の演算手段33、34、35、36を、第2の固体撮像素子2の出力をラッチする第1のラッチ手段33と、この第1のラッチ手段33からの出力をラッチする第2のラッチ手段34と、第1の演算手段27、28、29、30からの第1の固体撮像素子1の出力と第1のラッチ手段33からの出力とを乗算する乗算手段35と、第2のラッチ手段34からの出力と乗算手段35からの乗算出力とで割算を行う割算手段36とで構成したものである。

【0023】更に本発明は上述において、第3の演算手段38、39、41、42、43、44を、第3の固体撮像素子3の出力をラッチする第1のラッチ手段41と、第2の演算手段33、34、35、36からの第2の固体撮像素子2の現時点の出力及びこの現時点より1つ前の出力を加算して平均する平均手段38、39と、この平均手段38、39からの平均出力及び第1のラッチ手段41からの第3の固体撮像素子3の出力を乗算する乗算手段42と、平均手段38、39からの平均出力をラッチする第2のラッチ手段43と、この第2のラッチ手段43からの出力と乗算手段42からの乗算出力とで割算を行う割算手段44とで構成したものである。

【0024】更に本発明は上述において、推定演算手段17は、任意の時刻をkとし、この任意の時刻より1つ前の時刻を(k-1)とし、複数の固体撮像素子の内、第1の固体撮像素子の出力をy、第2の固体撮像素子の出力をxとし、時刻kに対応する第2の固体撮像素子の出力が補正すべき出力である場合に、 $y(k)/y(k-1) \cdot x(k-1)$ で示す式によって補正すべき出力の補正信号を求めるものである。

【0025】更に本発明は上述において、推定演算手段17は、複数の固体撮像素子1、2、3の出力の内、少なくとも2つの固体撮像素子1、2または3の出力を用いて、補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、曲線が極値をとる時刻を求め、補正すべき出力に

対応する画素の複数の近傍画素と極値をとる時刻に基いて補正すべき出力の補正信号を推定するものである。

【0026】更に本発明は上述において、推定演算手段17は、任意の時刻をkとし、この任意の時刻より1つ前の時刻を(k-1)とし、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1、2または3の出力をy、第2の固体撮像素子1、2または3の出力をxとし、時刻kに対応する第2の固体撮像素子1、2または3の出力が補正すべき出力である場合に、 $\{x(k+1) + x(k-1)\} / 2 - [\{x(k+1) - x(k-1)\} \{y(k+1) + y(k-1) - 2y(k)\}] / 2 \{y(k+1) - y(k-1)\}$ で示す式によって補正すべき出力の補正信号を求めるものである。

【0027】更に本発明は上述において、推定演算手段17は、複数の固体撮像素子1、2、3の出力の内、少なくとも互いに半画素周期のオフセットのある2つの固体撮像素子1、2または3の出力を用いて、補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、曲線が極値をとる時刻を求め、補正すべき出力に対応する画素の複数の近傍画素と極値をとる時刻に基いて補正すべき出力の補正信号を推定するものである。

【0028】更に本発明は上述において、推定演算手段17は、任意の時刻をkとし、この任意の時刻より1つ前の時刻を(k-1)とし、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1、2または3の出力をy、第2の固体撮像素子1、2または3の出力をxとし、時刻kに対応する第2の固体撮像素子1、2または3の出力が補正すべき出力である場合に、 $\{x(k+1) + x(k-1)\} / 2 - [\{x(k+1) - x(k-1)\} \{y(k+1) + y(k-1) - 2y(k)\}] / 4 \{y(k) - y(k-1)\}$ で示す式によって補正すべき出力の補正信号を求めるものである。

【0029】

【作用】上述せる本発明の構成によれば、制御手段18、19により、固体撮像素子1、2、3の各画素の内、補正対象となる画素の位置を示す信号を発生し、補正手段11、12、13、14、15、16、17がその信号並びに複数のサンプリング手段8、9、10からの複数の出力信号に基いて補正対象となる画素の補正信号を夫々得、制御手段18、19からの制御信号に基いてサンプリング手段8、9、10からの出力信号または補正信号を出力手段20、22、24で選択的に出力する。

【0030】更に上述において本発明の構成によれば、複数の固体撮像素子1、2、3からの出力を、タイミング発生手段4、5、6、7からの複数の第1及び第2のサンプルホールド信号に基いて相関2重サンプリングを行う。

【0031】更に上述において本発明の構成によれば、記憶手段18に記憶してある複数の固体撮像素子1、2、3の補正対象画素の位置を制御手段19が用いる。

【0032】更に上述において本発明の構成によれば、サンプリング手段8、9、10に対する複数のサンプリング信号の供給を、制御手段18、19からの制御信号に基いて複数の選択手段5、6、7で選択する。

【0033】更に上述において本発明の構成によれば、複数の変換手段11、12、13により複数のサンプリング手段8、9、10からの出力をデジタル信号に変換し、これら複数の変換手段11、12、13からの各出力を遅延手段14、15、16で遅延し、複数の変換手段14、15、16からの各出力及び制御手段18、19からの制御信号に基いて補正対象画素の補正信号を推定演算手段17で推定する。

【0034】更に上述において本発明の構成によれば、推定演算手段17が複数の固体撮像素子1、2、3の内、第1及び第2の固体撮像素子1、2の画素に対して画素ずらしがなされている第3の固体撮像素子3の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子1、2、3の内、第1または第2の固体撮像素子1、2の出力を用いて行う。

【0035】更に上述において本発明の構成によれば、推定演算手段17が複数の固体撮像素子1、2、3の内、第1の固体撮像素子1の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子1、2、3の内、第2の固体撮像素子2の出力を用いて行う。

【0036】更に上述において本発明の構成によれば、推定演算手段17が複数の固体撮像素子1、2、3の内、第2の固体撮像素子2の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1の出力を用いて行う。

【0037】更に上述において本発明の構成によれば、推定演算手段17が複数の固体撮像素子1、2、3の内、一方の固体撮像素子1、2または3の出力の補正対象画素の補正信号を、他方の複数の固体撮像素子1、2または3の出力に基いて得る場合に、レベルの高いものを選択する。

【0038】更に上述において本発明の構成によれば、推定演算手段17が複数の固体撮像素子1、2、3の内、第3の固体撮像素子3の出力の補正対象画素の補正信号を、第1及び第2の固体撮像素子1、2の出力に基いて得る場合に、レベルの高いものを選択する。

【0039】更に上述において本発明の構成によれば、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1の出力と第1及び第2の固体撮像素子1、2の演算出力との演算を第1の演算手段27、28、29、30で行い、複数の固体撮像素子1、2、3の内、第2の固体撮像素子2の出力と第2及び第1の固体撮像素子2、1の演算出力との演算を第2の演算手段33、34、3

5、36で行い、複数の固体撮像素子1、2、3の内、第1及び第2の固体撮像素子1、2の画素に対して画素ずらしがなされている第3の固体撮像素子3の出力と第2の固体撮像素子2の平均出力との演算を第3の演算手段38、39、41、42、43、44で行う。

【0040】更に上述において本発明の構成によれば、第1の固体撮像素子1の出力を第1のラッチ手段27でラッチし、この第1のラッチ手段27からの出力を第2のラッチ手段28でラッチし、第2の演算手段33、34、35、36からの第2の固体撮像素子2の出力と第1のラッチ手段27からの出力との乗算を乗算手段29で行い、第2のラッチ手段28からの出力及び乗算手段29からの乗算出力での割算を割算手段30で行う。

【0041】更に上述において本発明の構成によれば、第2の固体撮像素子2の出力を第1のラッチ手段33でラッチし、この第1のラッチ手段33からの出力を第2のラッチ手段34でラッチし、第1の演算手段27、28、29、30からの第1の固体撮像素子1の出力と第1のラッチ手段33からの出力との乗算を乗算手段35で行い、第2のラッチ手段34からの出力及び乗算手段35からの乗算出力での割算を割算手段36で行う。

【0042】更に上述において本発明の構成によれば、第3の固体撮像素子3の出力を第1のラッチ手段41でラッチし、第2の演算手段33、34、35、36からの第2の固体撮像素子2の現時点の出力及びこの現時点より1つ前の出力を平均手段38、39で加算、平均し、この平均手段38、39からの平均出力及び第1のラッチ手段41からの第3の固体撮像素子3の出力を乗算手段42で乗算し、平均手段38、39からの平均出力を第2のラッチ手段43でラッチし、この第2のラッチ手段43からの出力及び乗算手段42からの乗算出力での割算を割算手段44で行う。

【0043】更に上述において本発明の構成によれば、推定演算手段17は、任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、複数の固体撮像素子の内、第1の固体撮像素子の出力を $y$ 、第2の固体撮像素子の出力を $x$ とし、時刻 $k$ に対応する第2の固体撮像素子の出力が補正すべき出力である場合に、 $y(k)/y(k-1) \cdot x(k-1)$ で示す式によって補正すべき出力の補正信号を求める。

【0044】更に上述において本発明の構成によれば、推定演算手段17は、複数の固体撮像素子1、2、3の出力の内、少なくとも2つの固体撮像素子1、2または3の出力を用いて、補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、曲線が極値をとる時刻を求め、補正すべき出力に対応する画素の複数の近傍画素と極値をとる時刻に基いて補正すべき出力の補正信号を推定する。

【0045】更に上述において本発明の構成によれば、推定演算手段17は、任意の時刻を $k$ とし、この任意の

時刻より1つ前の時刻を $(k-1)$ とし、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1、2または3の出力を $y$ 、第2の固体撮像素子1、2または3の出力を $x$ とし、時刻 $k$ に対応する第2の固体撮像素子1、2または3の出力が補正すべき出力である場合に、 $\{x(k+1) + x(k-1)\} / 2 - [\{x(k+1) - x(k-1)\} \{y(k+1) + y(k-1) - 2y(k)\}] / 2 \{y(k+1) - y(k-1)\}$ で示す式によって補正すべき出力の補正信号を求める。

【0046】更に上述において本発明の構成によれば、推定演算手段17は、複数の固体撮像素子1、2、3の出力の内、少なくとも互いに半画素周期のオフセットのある2つの固体撮像素子1、2または3の出力を用いて、補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、曲線が極値をとる時刻を求め、補正すべき出力に対応する画素の複数の近傍画素と極値をとる時刻に基いて補正すべき出力の補正信号を推定する。

【0047】更に上述において本発明の構成によれば、推定演算手段17は、任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、複数の固体撮像素子1、2、3の内、第1の固体撮像素子1、2または3の出力を $y$ 、第2の固体撮像素子1、2または3の出力を $x$ とし、時刻 $k$ に対応する第2の固体撮像素子1、2または3の出力が補正すべき出力である場合に、 $\{x(k+1) + x(k-1)\} / 2 - [\{x(k+1) - x(k-1)\} \{y(k+1) + y(k-1) - 2y(k)\}] / 4 \{y(k) - y(k-1)\}$ で示す式によって補正すべき出力の補正信号を求める。

【0048】

【実施例】以下に、図1を参照して本発明固体撮像素子の補正装置の一実施例について詳細に説明する。

【0049】この図1において、1は青(B)用CCD素子、2は赤(R)用CCD素子、3は緑(G)用CCD素子で、これら各CCD素子1、2及び3は図示しないビデオカメラの光学系からの光を電気信号夫々に変換し、後述するタイミング発生回路4からの制御信号により映像信号として出力する。

【0050】これらCCD素子1、2及び3からの映像信号は夫々相關2重サンプリング回路(以下CDS回路と記述する)8、9及び10に供給される。これらCDS回路8、9及び10はCCD素子1、2及び3からの映像信号をタイミング発生回路4からの2つのサンプルホールド信号に基いて夫々サンプリングし、サンプリングして得た映像信号を夫々A-Dコンバータ11、12及び13(A-D変換のための前処理を含む)を介して遅延回路14、15及び16並びに推定演算回路17に供給する。

【0051】タイミング発生回路4は上述したように、CCD素子に制御信号を供給すると共に、CDS回路

8、9及び10に夫々スイッチ5、6及び7を介して、並びに直接2つのサンプルホールド信号を供給すると共に、後述する欠陥位置信号発生回路19にタイミング信号を供給する。

【0052】欠陥位置信号発生回路19は、欠陥位置メモリ18から欠陥位置データを読み出し、読み出した欠陥位置データとタイミング発生回路4からのタイミング信号とに基いて欠陥位置信号を得、この欠陥位置信号を推定演算回路17に供給すると共に、この欠陥位置信号をスイッチング信号としてスイッチ5、6及び7に夫々供給する。

【0053】ここで、欠陥位置メモリ18は例えばEEPROM、EPROM、ワンタイムROM、バックアップ付きRAM等で構成され、上述したように、予め欠陥画素検査等によって検出された3つのCCD素子1、2及び3の各欠陥画素の位置データが書き込まれている。

【0054】この欠陥位置メモリ18から読み出された3つのCCD素子1、2及び3の欠陥画素の位置データに基いて欠陥位置信号発生回路19がCCD素子1、2及び3に夫々対応したスイッチ5、6及び7をスイッチングすることにより、これらCCD素子1、2及び3に対応した3つのCDS回路8、9及び10におけるサンプリング動作を制御することができる。尚、これらのスイッチ5、6及び7の必要性については後に詳しく説明する。

【0055】遅延回路14、15及び16は、推定演算回路17で信号が遅延する分だけA-Dコンバータ11、12及び13からの映像信号を遅延させ、遅延した映像信号をスイッチ20、22及び24の各固定接点20a、22a及び24aに夫々供給する。

【0056】推定演算回路17は、後に詳しく説明するが、A-Dコンバータ11、12及び13からの映像信号(青、赤、緑に夫々対応する)に対して所定の演算処理をすることにより、欠陥画素用の補正信号を得、これをスイッチ20、22及び24の各固定接点20b、22b及び24bに夫々供給する。

【0057】従って、スイッチ20においては、欠陥位置信号発生回路19からのスイッチング信号によって可動接点20cが固定接点20aまたは20bに選択的に接続することによって、遅延回路14からの赤に対応した映像信号、または推定演算回路17からの欠陥画素用の補正信号が出力端子21を介して選択的に図示しないビデオカメラの他の信号処理回路等に供給される。

【0058】スイッチ22においては、欠陥位置信号発生回路19からのスイッチング信号によって可動接点22cが固定接点22aまたは22bに選択的に接続することによって、遅延回路14からの赤に対応した映像信号、または推定演算回路17からの欠陥画素用の補正信号が出力端子23を介して選択的に図示しないビデオカメラの他の信号処理回路等に供給される。

【0059】スイッチ24においては、欠陥位置信号発生回路19からのスイッチング信号によって可動接点24cが固定接点24aまたは24bに選択的に接続することによって、遅延回路14からの赤に対応した映像信号、または推定演算回路17からの欠陥画素用の補正信号が出力端子25を介して選択的に図示しないビデオカメラの他の信号処理回路等に供給される。

【0060】次に、図2を参照して図1に示した推定演算回路17について更に詳しく説明する。

【0061】この図2において、26は図1に示したA-Dコンバータ11からの青に対応した映像信号が供給される入力端子で、この入力端子26をフリップ・フロップ回路27及びフリップ・フロップ回路28を介して割算回路30の入力端に接続し、フリップ・フロップ回路27及び28の接続点を乗算回路29の入力端に接続し、更にこの乗算回路29の出力端を割算回路30の入力端に接続する。また、後述する赤に対応した映像信号の処理系のフリップ・フロップ回路34の出力端を乗算回路29の入力端に接続する。

【0062】32は図1に示したA-Dコンバータ12からの赤に対応した映像信号が供給される入力端子で、この入力端子32をフリップ・フロップ回路33及びフリップ・フロップ回路34を介して割算回路36の入力端に接続し、フリップ・フロップ回路33及び34の接続点を乗算回路35の入力端に接続し、更にこの乗算回路35の出力端を割算回路36の入力端に接続する。また、赤に対応した映像信号の処理系のフリップ・フロップ回路28の出力端を乗算回路35の入力端に接続する。

【0063】40は図1に示したA-Dコンバータ13からの緑に対応した映像信号が供給される入力端子で、この入力端子40をフリップ・フロップ回路42を介して乗算回路42の入力端に接続し、更にこの乗算回路42の出力端を割算回路44の入力端に接続する。

【0064】一方、赤に対応する映像信号が供給される入力端子32を加算回路38の入力端に接続し、フリップ・フロップ回路33の出力端をこの加算回路38の入力端に接続し、この加算回路38の出力端を乗算回路39の入力端に接続し、この乗算回路39の出力端をフリップ・フロップ回路43の入力端、並びに乗算回路42の入力端に夫々接続し、フリップ・フロップ回路43の出力端を割算回路44の入力端に接続する。

【0065】ここで、乗算回路39においては例えば加算回路38からの加算出力に対して $1/2$ となる係数を掛け、入力端子32からの現在の赤に対応する映像信号とフリップ・フロップ回路33からの現在より1つ前の赤に対応する映像信号との平均を得るようにしている。

【0066】この回路の動作説明の前に図3を参照してCCD素子1、2または3の内、健常なCCD素子1、2または3と、欠陥画素のあるCCD1、2または3に

ついて説明する。例えば図3Aは欠陥画素のないCCD素子のある時刻( $\dots k-3, k-2, k-1, k, k+1, k+2, \dots$ )の画素毎にサンプリングで得た出力波形を、図3Bは欠陥画素のあるCCD素子のある時刻( $\dots k-3, k-2, k-1, k, k+1, k+2, \dots$ )の画素毎にサンプリングで得た出力波形を夫々示す。

【0067】図4Aは欠陥画素のないCCD素子の、図4Bは欠陥画素のあるCCD素子の時刻 $k-1$ 及び $k$ の画素毎にサンプリングして得た出力波形を夫々示している。欠陥画素を $x(k)$ とした場合、 $y(n)$ 及び $x(n)$ を演算して $x(k)$ を推定し、これを補正信号とする。

【0068】推定アルゴリズムとしては種々のものが考えられるが、ここでは例として1次の推定を行う場合について説明する。

【0069】欠陥画素 $x(k)$ の推定は次の数1で示す式で行うことができる。

【0070】

【数1】

$$x(k) = \{y(k)/y(k-1)\} \cdot x(k-1)$$

【0071】即ち、これは隣接画素においては色相の大幅な変化はないものとして図3Aに示す欠陥画素のないCCD素子における隣接画素間の変化率を基に、図3Bに示す欠陥画素のあるCCD素子においても隣接画素間の変化率を同一のものと仮定して推定を行うことを示す。

【0072】さて、CCD素子を上述のように青、赤、緑と3枚用いている場合は、青及び赤のチャンネルが画素の幾何学的位置が同一であるので、上述したいわば信号の局所的トラッキングを仮定して、数1による推定を相互に行うことができる。

【0073】しかしながら、緑のチャンネルは高解像度化するために画素位置を青及び赤のチャンネルに対して水平方向に $1/2$ だけ画素をずらした状態としている。従って、上述したトラッキングをそのまま用いるのは些か危険である。

【0074】図5に画素ずらしを施したときの画素の配置と入射画像例を示す。この図5において、斜線を施した部分が光の入射のない部分、斜線が施されていない部分が光の入射のある部分であり、また、上段に緑のCCD素子の画素、下段に青及び赤のCCD素子の画素を夫々時間( $k, k+1, \dots k+9, \dots$ )を示す符号を付して示す。この図5に示すように、緑のCCD素子の画素の幾何学的位置と、青及び赤のCCD素子の画素の幾何学的位置は $1/2$ ピッチずれている。

【0075】この場合の緑のCCD素子を図6Aに、青及び赤のCCD素子の出力波形を図6Bに示す。この図6に示すように、図6Aに示す緑に対応した出力と、青及び赤に対応した出力とは時間的位置が略 $1/2$ ピッチ



ずれている。

【0076】緑のCCD素子の画素の左右に位置する青または赤の2画素BまたはRの加算平均を $G'$ （図6C参照）として、これに基づいて数1で示す推定を行った場合、次に示す数2の式で表すことができる。

【0077】

$$G(k) = \{G'(k) / G'(k-1)\} \cdot G(k-1)$$

【0080】このようにして青、赤及び緑の何れかのチャンネルを用いて何れかのチャンネルの値を推定することができる。そしてこの推定によって欠陥画素の値の推定を行い、欠陥補正を行うことができる。推定のもととなるデータにどのチャンネルを選択するかを決定する手法も種々のものが考えられるが、例えば信号レベルの高いチャンネルを選択した場合、 $S/N$ の面で有利となる。

【0081】即ち、図1に示した回路構成は、欠陥画素位置において原信号と推定信号を切り換える操作が行え、しかも、より高度な推定アルゴリズムにおいて非線形処理が必要となることより、デジタル信号系として実現させたものである。図1に示した推定演算回路17においては、数1、数2及び数3で示した式の演算を行う部分であり、スイッチ20、22及び24は本線信号と推定信号を欠陥位置において切り換えるものであり、また、遅延回路14、15及び16は推定演算による遅延（例えば2クロック分）を補償し、本線信号と推定信号の時刻を揃えるものである。

【0082】そして図2は、数1、数2及び数3で示した式の演算を行うための構成例を示し、数1、数2及び数3で示すように、例として、赤に対応した映像信号から青に対応した映像信号を、青に対応した映像信号から赤に対応した映像信号を推定するようにし、しかも $S/N$ の面で青のチャンネルより有利な赤のチャンネルの信号に基づいて、数3で示した式から緑のチャンネルの推定を行って上述した $G'$ を求め、この $G'$ から補正信号とする $G$ 信号を推定するようにしている。

【0083】ところで、このように、推定によって補正信号を得、本線信号と切り換えるようにした場合に、図1に示したCDS回路8、9及び10並びにA-Dコンバータ11、12及び13における前処理の応答によってインパルスである欠陥信号が広がりを起こし、この欠陥画素に対応した信号の広がりによってその後の処理に誤差を生じる可能性がある。

【0084】そこで本例においては、上述したように、スイッチ5、6及び7を設け、欠陥位置信号発生回路19からのスイッチング信号によって欠陥画素の出力のときにはこれらスイッチ5、6及び7をオフにしてCDS回路8、9及び10における欠陥画素による出力信号のサンプリングを行わないようにする。

【0085】このようにすることで、欠陥画素の出力のときにはその信号がミュートされ、その後の処理に影響

\* 【数2】

$$G'(k) = 1/2 \{R(k) + R(k-1)\}$$

【0078】この数2に示す式を数1に示す式に適用すると次の数3で示す式となる。

【0079】

\* 【数3】

を与えることはない。

【0086】次に図2に示した推定演算回路17の動作説明を中心に、図1の回路の動作について説明する。

【0087】まず、図示しない光学系を介してCCD素子1に青成分の光、CCD素子2に赤成分の光、CCD素子3に緑成分の光が夫々入射し、これによって各CCD素子1、2及び3は光電変換により受光光をタイミング発生回路4からのタイミング信号によって映像信号として出力する。これらCCD素子1、2及び3から出力された青のチャンネル（Bチャンネル）の映像信号、赤のチャンネル（Rチャンネル）の映像信号及び緑のチャンネル（Gチャンネル）の映像信号は夫々CDS回路8、9及び10に夫々供給される。

【0088】CDS回路8、9及び10に供給されたB、R及びGチャンネルの映像信号は夫々サンプルホールドされた後にA-Dコンバータ11、12及び13でデジタル信号に変換され、遅延回路14、15及び16に供給され、例えば2、クロック分遅延されて出力され、スイッチ20、22及び24の各固定接点20a、22a及び24aに夫々供給される。

【0089】一方、A-Dコンバータ11、12及び13から夫々出力されたB、R及びGチャンネルのデジタル映像信号は推定演算回路17にも供給される。

【0090】入力端子26を介して推定演算回路17に供給されたBチャンネルのデジタル映像信号はフリップ・フロップ回路27でラッチされた後に乗算回路29に供給される。

【0091】入力端子32を介して推定演算回路17に供給されたRチャンネルのデジタル映像信号はフリップ・フロップ回路33及び34に順次ラッチされ、割算回路36に供給される。

【0092】さて、フリップ・フロップ回路34の出力はBチャンネルの処理系の乗算回路29に供給されるので、乗算回路29においてはフリップ・フロップ回路27からのラッチ出力（ $k$ とする）と、フリップ・フロップ回路34からのラッチ出力（ $k-1$ とする）、即ち、Bチャンネルの（ $k$ ）の時刻の出力と、Rチャンネルの（ $k-1$ ）の時刻の出力とが乗算される。

【0093】そしてこの乗算出力 $B(k) \times R(k-1)$ は割算回路30において、フリップ・フロップ回路28の出力、即ち、Bチャンネルの（ $k-1$ ）の時刻の出力で割算され、出力端子31からRチャンネルの補正信号（推定信号）として出力され、図1に示すスイッチ

20の固定接点20bに供給される。

【0094】一方、フリップ・フロップ回路33の出力、即ち、Rチャンネルの(k)時刻の出力は、乗算回路35においてBチャンネルのフリップ・フロップ回路28の出力、即ち、Bチャンネルの時刻(k-1)の出力と乗算され、割算回路36に供給される。

【0095】従って、割算回路36においては、乗算回路35の出力 $R(k) \times B(k-1)$ がフリップ・フロップ回路34からの出力 $R(k-1)$ で割られ、出力端子37からBチャンネルの補正信号(推定信号)として出力され、図1に示すスイッチ22の固定接点22bに供給される。

【0096】また、加算回路38においては、入力端子32に供給されるRチャンネルのデジタル映像信号(k+1の時刻とする)とフリップ・フロップ回路33の出力(kの時刻とする)が加算されて $R(k+1) + R(k)$ とされ、この信号が乗算回路39に供給されて $1/2$ に平均化されて $\{R(k+1) + R(k)\} / 2$ とされ、この平均化で得られた信号が乗算回路42及びフリップ・フロップ回路43に夫々供給される。ここで、この平均化出力 $\{R(k+1) + R(k)\} / 2$ を $G'(k)$ とする。

【0097】乗算回路42においては、フリップ・フロップ回路41の出力、即ち、 $G(k-1)$ と、乗算回路39からの出力 $G'(k)$ が乗算されて出力 $G(k-1) \times G'(k)$ となり、この出力が割算回路44に供給される。

【0098】一方、乗算回路39の出力 $G'(k)$ はフリップ・フロップ回路43でラッチされ、即ち、 $G'(k-1)$ とされて割算回路44に供給される。従って割算回路44においては、乗算回路42からの出力 $G(k-1) \times G'(k)$ がフリップ・フロップ回路43からの出力 $G'(k-1)$ で割られて出力 $\{G(k-1) \cdot G'(k)\} / G'(k-1)$ となり、この出力がGチャンネルの補正信号(推定信号)として出力端子45を介して出力され、図1に示すスイッチ24の固定接点24bに供給される。尚、GチャンネルとB及びRチャンネルの時間的な差は図3及び図4で説明したように、画素ずらしによるものである。

【0099】さて、図1に示したスイッチ20、22及び24においては、上述のようにして生成されたB、R及びGチャンネルの補正信号(推定信号)と、本線信号である遅延回路14、15及び16からのB、R及びGチャンネルの信号とが欠陥位置信号発生回路19からのスイッチング信号により切り換えられて出力端子21、23及び25から夫々図示しないビデオカメラ本体回路に供給される。即ち、Bチャンネルにおいて欠陥位置となった場合には、欠陥位置信号発生回路19からのスイッチング信号によりスイッチ20の可動接点20cが固定接点20bに接続し、これによってBチャンネルの補

正信号が出力端子21を介して出力され、Rチャンネルにおいて欠陥位置となった場合には、欠陥位置信号発生回路19からのスイッチング信号によりスイッチ22の可動接点22cが固定接点22bに接続し、これによってRチャンネルの補正信号が出力端子23を介して出力され、Gチャンネルにおいて欠陥位置となった場合には、欠陥位置信号発生回路19からのスイッチング信号によりスイッチ24の可動接点24cが固定接点24bに接続し、これによってGチャンネルの補正信号が出力端子25を介して出力される。

【0100】このように、この例においては、推定演算回路17においてBチャンネルの欠陥画素の出力をB及びRチャンネルの出力を演算して推定して補正信号を得、Rチャンネルの欠陥画素の出力をR及びBチャンネルの出力を演算して推定して補正信号を得、Gチャンネルの欠陥画素の出力をBまたはRチャンネルとの演算により推定して補正信号を得、これらの補正信号をスイッチ20、22及び24において、欠陥位置のときにこれらの信号に切り換える欠陥位置信号発生回路19からのスイッチング信号で本線信号と切り換えて出力するようにしたので、例えば細かい縦縞のような画像データであっても忠実に再現でき、これによって画質を向上させることができる。

【0101】また、スイッチ5、6及び7を設け、欠陥画素の出力に際には、欠陥位置信号発生回路19からのスイッチング信号によってスイッチ5、6及び7をオフにしてCDS回路8、9及び10でのサンプリングを行わないようにしたので、欠陥画素による出力信号の広がりによる影響をなくすることができる。

【0102】次に、図7及び図8を参照して図2に示した推定演算回路17の他の例について説明する。

【0103】図7に全体として推定演算回路17の他の例としての構成を示す。この図7において、46は欠陥画素のあるチャンネルの(k-1)の時刻の出力が供給される入力端子で、この入力端子46を加算回路51の入力端及び加算回路53の入力端に夫々接続する。47は欠陥画素のあるチャンネルの(k+1)の時刻の出力が供給される入力端子で、この入力端子47を加算回路51の入力端及び加算回路53の入力端に夫々接続する。

【0104】48は欠陥画素のないチャンネルの(k-1)の時刻の出力が供給される入力端子で、この入力端子48を加算回路54の入力端及び加算回路57の入力端に夫々接続する。49は欠陥画素のないチャンネルの(k)の時刻の出力が供給される入力端子で、この入力端子49を乗算回路55の入力端に接続する。50は欠陥画素のないチャンネルの(k+1)の時刻の出力が供給される入力端子で、この入力端子50を加算回路54の入力端及び加算回路57の入力端に夫々接続する。

【0105】加算回路51の出力端を乗算回路52の入

力端に接続し、この乗算回路52の出力端を加算回路60の入力端に接続し、この加算回路60の出力端を出力端子61に接続する。また、加算回路53の出力端を乗算回路56の入力端に接続し、乗算回路55の出力端を加算回路54の入力端に接続し、この加算回路54の出力端を乗算回路56の入力端に接続し、この乗算回路56の出力端を割算回路59の入力端に接続し、この割算回路59の出力端を加算回路60の入力端に接続する。また、加算回路57の出力端を乗算回路58の入力端に接続し、この乗算回路58の出力端を割算回路59の入力端に接続する。

【0106】ここで、乗算回路52は加算回路51からの出力に係数を乗じることによって $1/2$ にし、また、乗算回路55は夫々入力端子49を介して供給される信号 $y(k)$ に対して係数を乗じることによって2倍にし、また、乗算回路58は加算回路57からの出力に対して係数を乗じることによって2倍にするものである。

【0107】次に、この図7に示す推定演算回路17の動作について説明する。

【0108】先ず、加算回路51において、入力端子46を介して供給される信号 $x(k-1)$ と入力端子47を介して供給される信号 $x(k+1)$ が加算されて信号 $x(k-1) + x(k+1)$ とされ、乗算回路52に供給され、この乗算回路52において $1/2$ に平均化されて信号 $\{x(k-1) + x(k+1)\} / 2$ とされ、加算回路60に供給される。

【0109】そして加算回路53には入力端子46を介して信号 $x(k-1)$ 、入力端子47を介して信号 $x(k+1)$ が夫々供給され、この加算回路53で加算されて $x(k+1) - x(k-1)$ となり、乗算回路56

に供給される。  
【0110】一方、乗算回路55には入力端子49を介して信号 $y(k)$ が供給され、この乗算回路55において係数が乗じられて $2y(k)$ にされ、加算回路54に供給される。加算回路54にはまた、入力端子48を介\*

$$\begin{aligned} & x^*(k) \\ &= \{x(k-1) + x(k+1)\} / 2 \\ & - [\{y(k-1) + y(k+1) - 2y(k)\} \\ & \quad \{x(k+1) - x(k-1)\}] / [2\{y(k+1) - y(k-1)\}] \end{aligned}$$

【0116】これについて図8を参照して更に詳しく説明する。図8Aは欠陥画素のないCCD素子の画素毎の出力、図8Bは欠陥画素のあるCCD素子の画素毎の出力を示している。また、図8Aにおいて $p1$ 、 $p2$ 及び $p3$ は夫々画素に対応した時刻 $(k-1)$ 、 $(k)$ 及び $(k+1)$ の出力、 $s1$ はこれらの出力で近似できる2次曲線、 $t1$ はこの近似による2次曲線が極値 $d$ をとる時刻であり、図8Bにおいて、 $p10$ 、 $p11$ 及び $p12$ は夫々画素に対応した時刻 $(k-1)$ 、 $(k)$ 及び $(k+1)$ の出力（尚、 $p11$ は欠陥画素による出力である）、 $s10$ はこれらの出力で近似できる2次曲線、

\*して信号 $y(k-1)$ 及び入力端子50を介して信号 $y(k+1)$ が夫々供給され、従ってこの加算回路54の出力は $y(k-1) + y(k+1) - 2y(k)$ となる。この加算出力は乗算回路56に供給され、加算回路53の出力 $x(k+1) - x(k-1)$ と乗算され、 $\{y(k-1) + y(k+1) - 2y(k)\} \cdot \{x(k+1) - x(k-1)\}$ となり、この後割算回路59に供給される。

【0111】さて、加算回路57には入力端子48を介して信号 $y(k-1)$ 、入力端子50を介して $y(k+1)$ が夫々供給され、この加算回路57において加算されて $y(k+1) - y(k-1)$ となり、乗算回路58に供給され、この乗算回路58において係数が乗じられて $2\{y(k+1) - y(k-1)\}$ となり、この後割算回路59に供給される。

【0112】割算回路59においては、 $\{y(k-1) + y(k+1) - 2y(k)\} \cdot \{x(k+1) - x(k-1)\} / [2\{y(k+1) - y(k-1)\}]$ の演算が行われ、この結果が加算回路60に供給される。

【0113】そして加算回路60においては、乗算回路52の出力である $\{x(k-1) + x(k+1)\} / 2$ から $\{y(k-1) + y(k+1) - 2y(k)\} \cdot \{x(k+1) - x(k-1)\} / [2\{y(k+1) - y(k-1)\}]$ が減じられ、この減算結果が補正信号（推定信号）として出力端子61を介して図示しないビデオカメラ本体回路に供給される。

【0114】即ち、 $x(n)$  ( $n = \dots k-2, k-1, k, k+1, k+2, \dots$ ) を欠陥画素のあるCCD素子の出力としたとき、次の数4で示す式によって欠陥画素の出力に対する補正信号（推定信号）を得ることができる。

【0115】

【数4】

$t10$ はこの近似による2次曲線が極値 $d$ をとる時刻である。

【0117】図8A及びBに示すように、この例においては、欠陥画素 $x^*(k)$ の近傍3画素に対し、2次曲線 $s10$ をあてはめる。これは原画像を局所的に2次近似したものである。この曲線 $s10$ が極値 $d$ をとる時刻 $t10$ を求め、同一画素であるから欠陥のあるチャンネルの欠陥画素 $p11$ 近傍2点と極値 $d$ をとる時刻 $t10$ を基に、欠陥のあるチャンネルで欠陥画素 $x^*(k)$ を推定するのである。

【0118】このようにこの例においては、数4で示す

如き式によって推定を行うようにしているので、確實、且つ、簡単な回路構成で推定演算を実現することができる。尚、各入力端子46、47、・・・50に供給される各信号は、例えば図2で説明したようなフリップ・フロップ回路等によって得られるものとする。

【0119】図9及び図10は、図1及び図2において説明した推定演算回路17の更に他の例である。この図9及び図10において、図7及び図8と対応する部分には同一符号を付してその詳細説明を省略する。

【0120】図9は推定演算回路17の構成例を示している。尚、この図9に示す推定演算回路17は図7に示した推定演算回路17と略同じ構成なので、異なる部分についてのみ説明を行う。

【0121】この図9に示す推定演算回路17は図7に示した推定演算回路17とは異なり、信号 $y(k)$ が供給される入力端子49を加算回路57に接続している。即ち、この図9に示す回路構成は、空間画素ずらしを施したチャンネル間での推定を行うためのものになっている。

【0122】この図9に示す推定演算回路17の動作を説明すると、先ず、加算回路51において、入力端子46を介して供給される信号 $x(k-1)$ と入力端子47を介して供給される信号 $x(k+1)$ が加算されて信号 $x(k-1) + x(k+1)$ とされ、乗算回路52に供給され、この乗算回路52において $1/2$ に平均化されて信号 $\{x(k-1) + x(k+1)\} / 2$ とされ、加算回路60に供給される。

【0123】そして加算回路53には入力端子46を介して信号 $x(k-1)$ 、入力端子47を介して信号 $x(k+1)$ が夫々供給され、この加算回路53で加算されて $x(k+1) - x(k-1)$ となり、乗算回路56に供給される。

【0124】一方、乗算回路55には入力端子49を介して信号 $y(k)$ が供給され、この乗算回路55において係数が乗じられて $2y(k)$ にされ、加算回路54に\*

$$\begin{aligned} & x * (k) \\ &= \{x(k-1) + x(k+1)\} / 2 \\ & - [\{y(k-1) + y(k+1) - 2y(k)\} \\ & \quad \{x(k+1) - x(k-1)\}] / [2\{y(k) - y(k-1)\}] \end{aligned}$$

【0130】これについて図10を参照して更に詳しく説明する。図10Aは図8と同様に、欠陥画素のないCCD素子の画素毎の出力、図10Bは欠陥画素のあるCCD素子の画素毎の出力を示している。また、図10Aにおいて $p1$ 、 $p2$ 及び $p3$ は夫々画素に対応した時刻 $(k-1)$ 、 $(k)$ 及び $(k+1)$ の出力、 $s1$ はこれらの出力で近似できる2次曲線、 $t1$ はこの近似による2次曲線が極値 $d$ をとる時刻であり、図10Bにおいて、 $p10$ 、 $p11$ 及び $p12$ は夫々画素に対応した時刻 $(k-1)$ 、 $(k)$ 及び $(k+1)$ の出力(尚、 $p11$ は欠陥画素による出力である)、 $s10$ はこれらの出

\* 供給される。加算回路54にはまた、入力端子48を介して信号 $y(k-1)$ 及び入力端子50を介して信号 $y(k+1)$ が夫々供給され、従ってこの加算回路54の出力は $y(k-1) + y(k+1) - 2y(k)$ となる。この加算出力は乗算回路56に供給され、加算回路53の出力 $x(k+1) - x(k-1)$ と乗算され、 $\{y(k-1) + y(k+1) - 2y(k)\} \cdot \{x(k+1) - x(k-1)\}$ となり、この後割算回路59に供給される。

【0125】さて、加算回路57には入力端子48を介して信号 $y(k-1)$ 、入力端子49を介して $y(k)$ が夫々供給され、この加算回路57において加算されて $y(k) - y(k-1)$ となり、乗算回路58に供給され、この乗算回路58において係数が乗じられて $2\{y(k) - y(k-1)\}$ となり、この後割算回路59に供給される。

【0126】割算回路59においては、 $\{y(k-1) + y(k+1) - 2y(k)\} \cdot \{x(k+1) - x(k-1)\} / [2\{y(k) - y(k-1)\}]$ の演算が行われ、この結果が加算回路60に供給される。

【0127】そして加算回路60においては、乗算回路52の出力である $\{x(k-1) + x(k+1)\} / 2$ から $\{y(k-1) + y(k+1) - 2y(k)\} \cdot \{x(k+1) - x(k-1)\} / [2\{y(k) - y(k-1)\}]$ が減じられ、この減算結果が補正信号(推定信号)として出力端子61を介して図示しないビデオカメラ本体回路に供給される。

【0128】即ち、 $x(n)$  ( $n = \dots k-2, k-1, k, k+1, k+2, \dots$ )を欠陥画素のあるCCD素子の出力としたとき、次の数5で示す式によって欠陥画素の出力に対する補正信号(推定信号)を得ることができる。

【0129】

【数5】

力で近似できる2次曲線、 $t10$ はこの近似による2次曲線が極値 $d$ をとる時刻である。

【0131】この図10に示すように、この例においては、サンプル時刻が実時刻で略半周期オフセットしているだけである。即ち、極値 $d$ をとる時刻は欠陥のあるしにかかわらず同一であるが、サンプル時刻 $k$ との時間差ということでは図10A及びBに夫々示す各画素の出力では半画素期間の差異がある。数5で示す式はこのことを考慮したものである。

【0132】このようにこの例においては、数5で示す如き式によって推定を行うようにしているので、確實、

且つ、簡単な回路構成で画素の位置が互いに異なる CCD 素子間での推定演算を実現することができる。尚、各入力端子 46、47、・・・50 に供給される各信号は、例えば図 2 で説明したようなフリップ・フロップ回路等によって得られるものとする。

【0133】尚、上述の実施例は本発明の一例であり、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得ることは勿論である。

#### 【0134】

【発明の効果】上述せる本発明によれば、制御手段により、固体撮像素子の各画素の内、補正対象となる画素の位置を示す信号を発生し、補正手段がその信号並びに複数のサンプリング手段からの複数の出力信号に基いて補正対象となる画素の補正信号を夫々得、制御手段からの制御信号に基いてサンプリング手段からの出力信号または補正信号を出力手段で選択的に出力するようにしたので、例えば細かい縦縞等の画像データも再現でき、これによって画質の劣化を防止することができる。

【0135】更に上述において本発明によれば、複数の固体撮像素子からの出力を、タイミング発生手段からの複数の第 1 及び第 2 のサンプルホールド信号に基いて相関 2 重サンプリングを行うようにしたので、上述の効果に加え、より良い推定演算を行うことができる。

【0136】更に上述において本発明によれば、記憶手段に記憶してある複数の固体撮像素子の補正対象画素の位置を制御手段が用いるようにしたので、上述の効果に加え、欠陥画素の位置に対応して確実な制御を行うことができる。

【0137】更に上述において本発明によれば、サンプリング手段に対する複数のサンプリング信号の供給を、制御手段からの制御信号に基いて複数の選択手段で選択するようにしたので、上述の効果に加え、サンプリングの実行を制御でき、これによって、例えば欠陥画素による出力を確実にミュートでき、欠陥画素の出力がサンプリングや A-D 変換の前処理によって広がり、後の処理に影響を及ぼすことはない。

【0138】更に上述において本発明によれば、複数の変換手段により複数のサンプリング手段からの出力をデジタル信号に変換し、これら複数の変換手段からの各出力を遅延手段で遅延し、複数の変換手段からの各出力及び制御手段からの制御信号に基いて補正対象画素の補正信号を推定演算手段で推定するようにしたので、上述の効果に加え、欠陥画素に対応した推定信号を良好に得ることができる。

【0139】更に上述において本発明によれば、推定演算手段が複数の固体撮像素子の内、第 1 及び第 2 の固体撮像素子の画素に対して画素ずらしがなされている第 3 の固体撮像素子の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子の内、第 1 または第 2 の固体撮像素子の出力を用いて行うようにしたので、上述の効果

に加え、第 3 の固体撮像素子の欠陥画素に対応して精度の高い推定を行うことができる。

【0140】更に上述において本発明によれば、推定演算手段が複数の固体撮像素子の内、第 1 の固体撮像素子の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子の内、第 2 の固体撮像素子の出力を用いて行うようにしたので、上述の効果に加え、第 1 の固体撮像素子の欠陥画素に対応して精度の高い推定を行うことができる。

【0141】更に上述において本発明によれば、推定演算手段が複数の固体撮像素子の内、第 2 の固体撮像素子の出力の補正対象画素の補正信号の推定を、複数の固体撮像素子の内、第 1 の固体撮像素子の出力を用いて行うようにしたので、上述の効果に加え、第 2 の固体撮像素子の欠陥画素に対応して精度の高い推定を行うことができる。

【0142】更に上述において本発明によれば、推定演算手段が複数の固体撮像素子の内、一方の固体撮像素子の出力の補正対象画素の補正信号を、他方の複数の固体撮像素子の出力に基いて得る場合に、レベルの高いものを選択するようにしたので、上述の効果に加え、より  $S/N$  の良好な出力を得ることができる。

【0143】更に上述において本発明によれば、推定演算手段が複数の固体撮像素子の内、第 3 の固体撮像素子の出力の補正対象画素の補正信号を、第 1 及び第 2 の固体撮像素子の出力に基いて得る場合に、レベルの高いものを選択するようにしたので、上述の効果に加え、より  $S/N$  の良好な出力を得ることができる。

【0144】更に上述において本発明によれば、複数の固体撮像素子の内、第 1 の固体撮像素子の出力と第 1 及び第 2 の固体撮像素子の演算出力との演算を第 1 の演算手段で行い、複数の固体撮像素子の内、第 2 の固体撮像素子の出力と第 2 及び第 1 の固体撮像素子の演算出力との演算を第 2 の演算手段で行い、複数の固体撮像素子の内、第 1 及び第 2 の固体撮像素子の画素に対して画素ずらしがなされている第 3 の固体撮像素子の出力と第 2 の固体撮像素子の平均出力との演算を第 3 の演算手段で行うようにしたので、上述の効果に加え、更に良好な推定を行うことができる。

【0145】更に上述において本発明によれば、第 1 の固体撮像素子の出力を第 1 のラッチ手段でラッチし、この第 1 のラッチ手段からの出力を第 2 のラッチ手段でラッチし、第 2 の演算手段からの第 2 の固体撮像素子の出力と第 1 のラッチ手段からの出力との乗算を乗算手段で行い、第 2 のラッチ手段からの出力及び乗算手段からの乗算出力での割算を割算手段で行うようにしたので、上述の効果に加え、回路構成が簡単となり、しかも、確実な演算処理を行うことができる。

【0146】更に上述において本発明によれば、第 2 の固体撮像素子の出力を第 1 のラッチ手段でラッチし、こ

の第1のラッチ手段からの出力を第2のラッチ手段でラッチし、第1の演算手段からの第1の固体撮像素子の出力と第1のラッチ手段からの出力との乗算を乗算手段で行い、第2のラッチ手段からの出力及び乗算手段からの乗算出力での割算を割算手段で行うようにしたので、上述の効果に加え、回路構成が簡単となり、しかも、確実な演算処理を行うことができる。

【0147】更に上述において本発明によれば、第3の固体撮像素子の出力を第1のラッチ手段でラッチし、第2の演算手段からの第2の固体撮像素子の現時点の出力及びこの現時点より1つ前の出力を平均手段で加算、平均し、この平均手段からの平均出力及び第1のラッチ手段からの第3の固体撮像素子の出力を乗算手段で乗算し、平均手段からの平均出力を第2のラッチ手段でラッチし、この第2のラッチ手段からの出力及び乗算手段からの乗算出力での割算を割算手段で行うようにしたので、上述の効果に加え、回路構成が簡単となり、しかも、確実な演算処理を行うことができる。

【0148】更に上述において本発明によれば、推定演算手段が任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、複数の固体撮像素子の内、第1の固体撮像素子の出力を $y$ 、第2の固体撮像素子の出力を $x$ とし、時刻 $k$ に対応する第2の固体撮像素子の出力が補正すべき出力である場合に、 $y(k)/y(k-1) \cdot x(k-1)$ で示す式によって補正すべき出力の補正信号を求めるようにしたので、上述の効果に加え、推定処理を簡単にすることができる。

【0149】更に上述において本発明によれば、推定演算手段が複数の固体撮像素子の出力の内、少なくとも2つの固体撮像素子の出力を用いて、補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、曲線が極値をとる時刻を求め、補正すべき出力に対応する画素の複数の近傍画素と極値をとる時刻に基いて補正すべき出力の補正信号を推定するようにしたので、良好な補正信号を得、良好な補正を行い、出力画像の画質を向上させることができる。

【0150】更に上述において本発明によれば、推定演算手段が任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、複数の固体撮像素子の内、第1の固体撮像素子の出力を $y$ 、第2の固体撮像素子の出力を $x$ とし、時刻 $k$ に対応する第2の固体撮像素子の出力が補正すべき出力である場合に、 $\{x(k+1) + x(k-1)\} / 2 - [\{x(k+1) - x(k-1)\} \{y(k+1) + y(k-1) - 2y(k)\}] / 2 \{y(k+1) - y(k-1)\}$ で示す式によって補正すべき出力の補正信号を求めるようにしたので、上述の効果に加え、補正信号の推定精度を向上させることができる。

【0151】更に上述において本発明によれば、推定演

算手段が複数の固体撮像素子の出力の内、少なくとも互いに半画素周期のオフセットのある2つの固体撮像素子の出力を用いて、補正すべき出力に対応する画素の複数の近傍画素に対して2次曲線を当てはめて原画像を局所的に2次近似し、曲線が極値をとる時刻を求め、補正すべき出力に対応する画素の複数の近傍画素と極値をとる時刻に基いて補正すべき出力の補正信号を推定するようにしたので、上述の効果に加え、幾何学的に画素の位置がずれていても、良好な補正信号を得、良好な補正を行い、出力画像の画質を向上させることができる。

【0152】更に上述において本発明によれば、推定演算手段が任意の時刻を $k$ とし、この任意の時刻より1つ前の時刻を $(k-1)$ とし、複数の固体撮像素子の内、第1の固体撮像素子の出力を $y$ 、第2の固体撮像素子の出力を $x$ とし、時刻 $k$ に対応する第2の固体撮像素子の出力が補正すべき出力である場合に、 $\{x(k+1) + x(k-1)\} / 2 - [\{x(k+1) - x(k-1)\} \{y(k+1) + y(k-1) - 2y(k)\}] / 4 \{y(k) - y(k-1)\}$ で示す式によって補正すべき出力の補正信号を求めるようにしたので、上述の効果に加え、補正信号の推定精度を向上させることができる。

#### 【図面の簡単な説明】

【図1】本発明固体撮像素子の補正装置の一実施例を示す構成図である。

【図2】本発明固体撮像素子の補正装置の一実施例の要部を示す構成図である。

【図3】本発明固体撮像素子の補正装置の一実施例の説明に供する1次の推定を説明するための説明図である。

【図4】本発明固体撮像素子の補正装置の一実施例の説明に供するCCD素子の出力波形の例を示す説明図である。

【図5】本発明固体撮像素子の補正装置の一実施例の説明に供する画素配置と入射画像の例を示す説明図である。

【図6】本発明固体撮像素子の補正装置の一実施例の説明に供する波形図である。

【図7】本発明固体撮像素子の補正装置の一実施例の要部の他の例を示す構成図である。

【図8】本発明固体撮像素子の補正装置の一実施例の要部の他の例の説明に供する補正の推定を説明するための説明図である。

【図9】本発明固体撮像素子の補正装置の一実施例の要部の更に他の例を示す構成図である。

【図10】本発明固体撮像素子の補正装置の一実施例の要部の更に他の例の説明に供する補正の推定を説明するための説明図である。

#### 【符号の説明】

- 1、2、3 CCD素子
- 4 タイミング発生回路

5、6、7 スイッチ

8、9、10 相関2重サンプリング回路

11、12、13 A-Dコンバータ

14、15、16 遅延回路

17 推定演算回路

18 欠陥位置メモリ

19 欠陥位置信号発生回路

\* 20、22、24 スイッチ

27、28、33、34、41、43 フリップ・フロップ回路

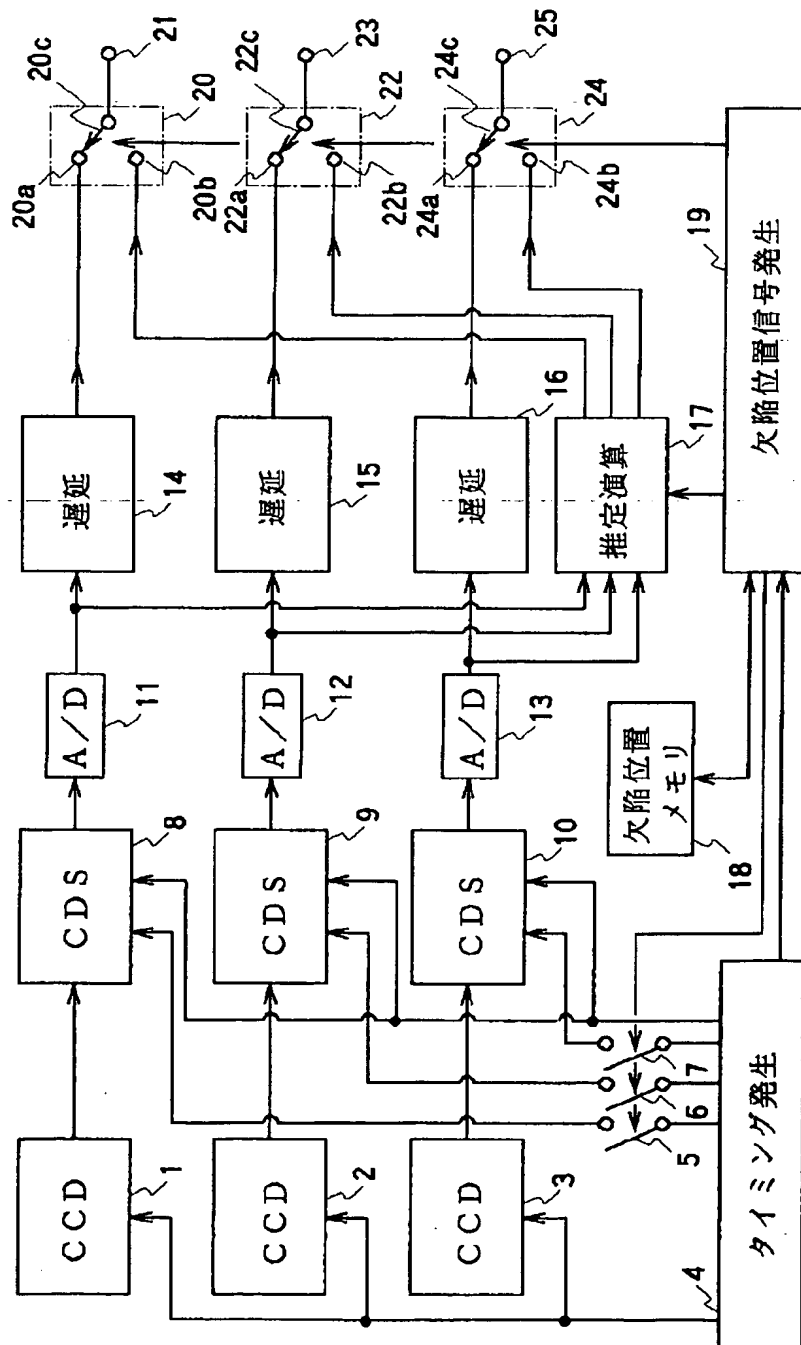
29、35、42、52、55、56、58 乗算回路

30、36、44、59 割算回路

38、51、53、54、57、60 加算回路

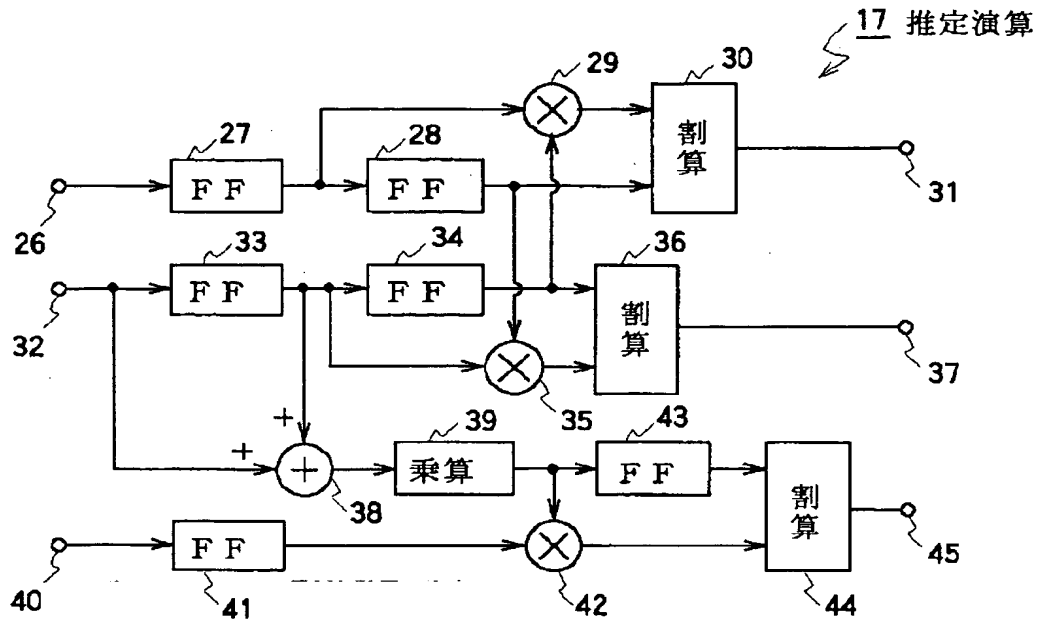
\*

【図1】



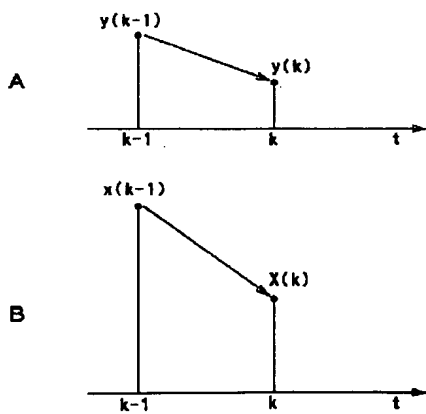
一実施例を示す構成図

【図2】



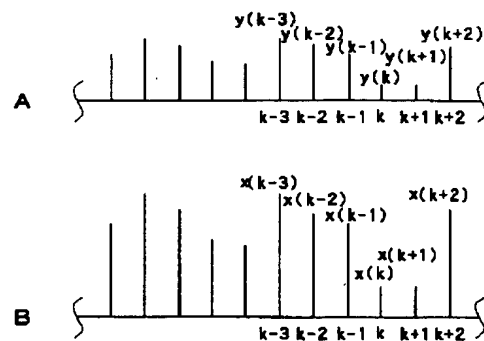
一実施例の要部を示す構成図

【図3】



一実施例の説明に供する説明図

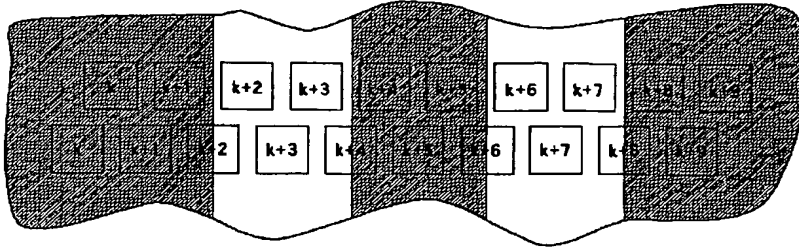
【図4】



一実施例の説明に供する説明図

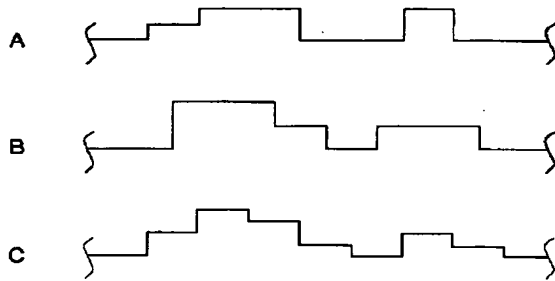


【図5】



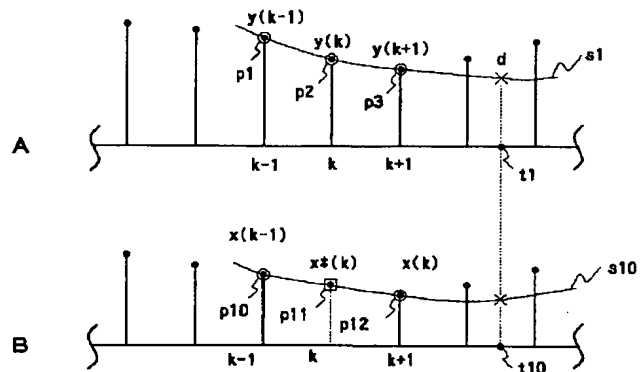
一実施例の説明に供する説明図

【図6】



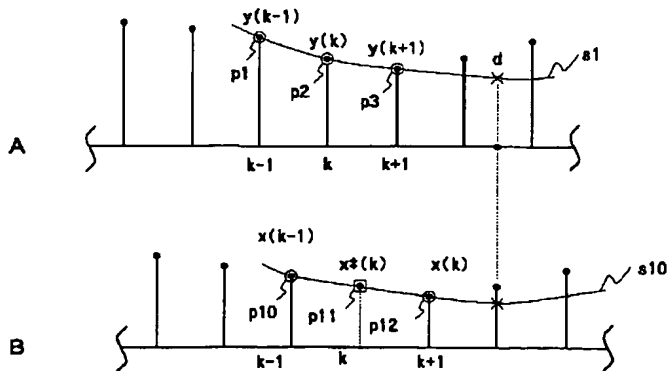
一実施例の説明に供する波形図

【図8】



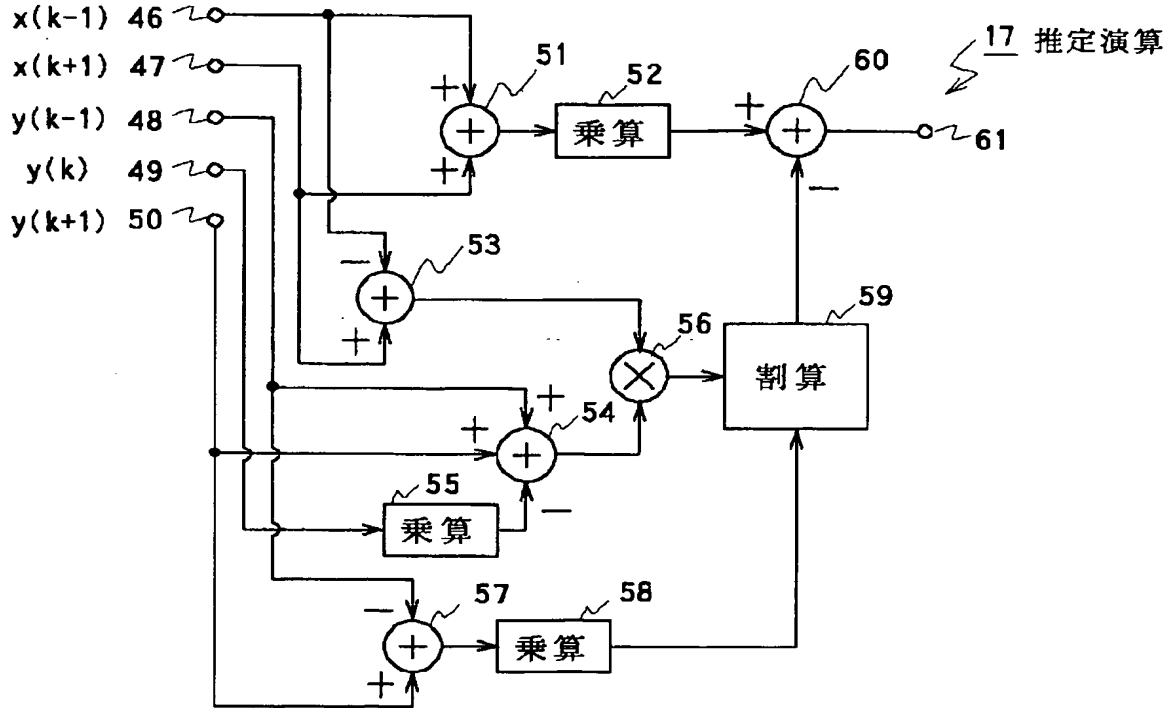
一実施例の要部の他の例の説明に供する説明図

【図10】



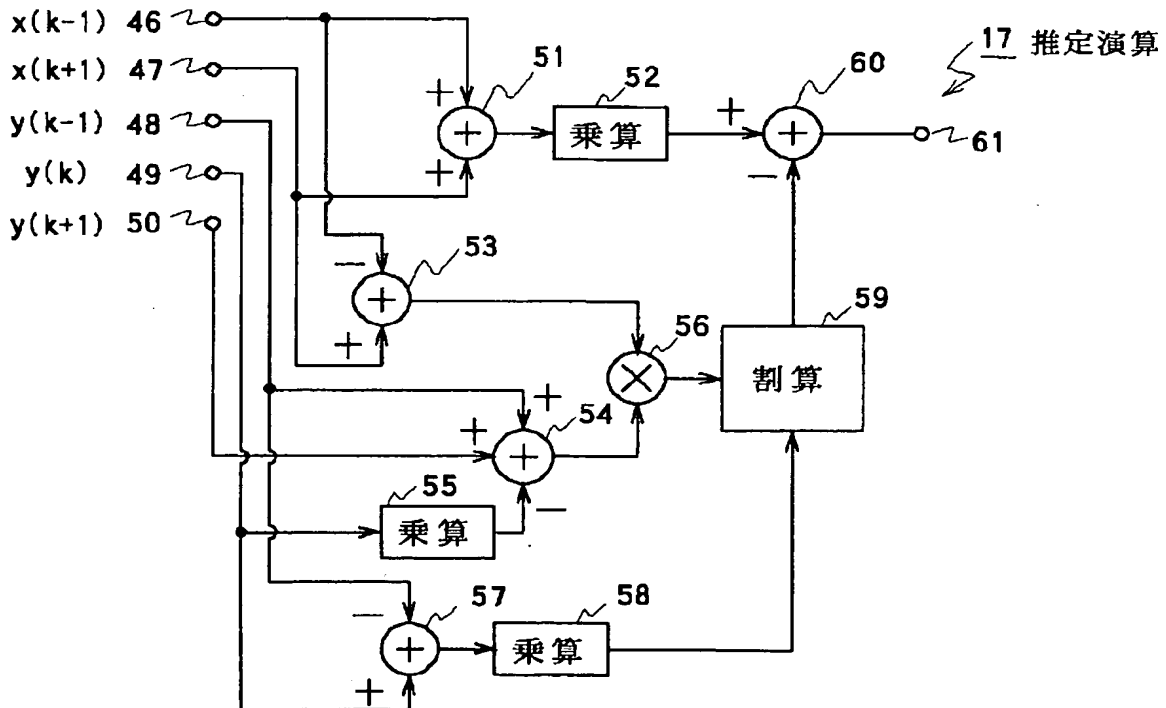
一実施例の要部の他の例の説明に供する説明図

【図7】



一実施例の要部の他の例を示す構成図

【図9】



一実施例の要部の他の例を示す構成図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-165044

(43)Date of publication of application : 10.06.1994

---

(51)Int.Cl. H04N 5/335

H04N 5/217

---

(21)Application number : 04-318725 (71)Applicant : SONY CORP

(22)Date of filing : 27.11.1992 (72)Inventor : KAMEYAMA TAKASHI

---

(54) CORRECTING DEVICE DOE SOLID-STATE IMAGING DEVICE

(57)Abstract:

PURPOSE: To prevent the degradation of picture quality by reproducing the image data of fine longitudinal stripes, for example, by estimating the output of the defective picture element of a CCD element from the output of the other CCD element.

CONSTITUTION: This device is provided with CDS circuits 8, 9 and 10 for respectively sampling the outputs of CCD elements 1, 2 and 3, defective position signal generating circuit 19 for generating the position signal of the defective picture element and various control signals, timing generation circuit 4 for supplying timing signals to the CCD elements 1, 2 and 3 and supplying sampling signals to the CDS circuits 8, 9 and 10, estimating arithmetic circuit 17 for respectively providing the correcting signals of the picture element as a correcting object based on outputs from the CDS circuits 8, 9 and 10, and switches 20, 22 and 24 for switching and outputting a main line signal and a correcting signal based on a switching signal from the defective position signal generating circuit 19.

-----  
LEGAL STATUS [Date of request for examination] 08.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3421860

[Date of registration] 25.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] Among two or more sampling means to sample the output signal from two or more solid state image sensors, respectively, and each pixel of a solid state image sensor, while generating the signal which shows the location of the pixel used as the candidate for amendment The control means which generates various control signals corresponding to the location of a pixel, and a timing generating means to supply a sampling signal to two or more above-mentioned

---

sampling means based on the control signal from the above-mentioned control means, respectively while supplying a timing signal to two or more above-mentioned solid state image sensors, An amendment means to acquire the amendment signal of the pixel which serves as the above-mentioned candidate for amendment based on two or more output signals from two or more above-mentioned sampling means, respectively, The compensator of the solid state image sensor characterized by having an output means to output alternatively the output signal or the above-mentioned amendment signal from the above-mentioned sampling means based on the control signal from the above-mentioned control means.

[Claim 2] Two or more above-mentioned sampling means are the amendment circuits of the solid state image sensor according to claim 1 characterized by being a correlation duplex sampling means to perform sample hold for the output from two or more above-mentioned solid state image sensors based on two or more 1st [ the ] of the above-mentioned timing generating means, and the 2nd sample hold signal.

[Claim 3] The above-mentioned control means is the compensator of the solid state image sensor according to claim 1 characterized by having the storage means which shows the location of the pixel for amendment of two or more above-mentioned solid state image sensors at least.

[Claim 4] The above-mentioned timing generating means is the compensator of the solid state image sensor according to claim 1 characterized by having two or more selection means to choose supply of two or more above-mentioned sampling signals over the above-mentioned sampling means based on the control signal from the above-mentioned control means.

[Claim 5] The above-mentioned amendment means is the compensator of the solid state image sensor according to claim 1 carry out having two or more conversion means change the output from two or more above-mentioned sampling means into a digital signal, a delay means to by\_which each output from the conversion means of these plurality is delayed, respectively, and a

presumed operation means presume the amendment signal of the above-mentioned pixel for amendment based on the control signal from each output and the above-mentioned control means from a conversion means of the above-mentioned plurality as the description.

[Claim 6] The compensator of the solid state image sensor according to claim 5 characterized by performing presumption of the amendment signal of the pixel for amendment of the output of the 3rd solid state image sensor of \*\*\*\*\* pettinences \*\*\*\*\* among two or more above-mentioned solid state image sensors among two or more above-mentioned solid state image sensors using the output of the 1st or 2nd solid state image sensor to the pixel of the 1st and 2nd image sensors in the above-mentioned presumed operation means.

[Claim 7] The compensator of the solid state image sensor according to claim 6 characterized by performing presumption of the amendment signal of the pixel for amendment of the output of the 1st solid state image sensor among two or more above-mentioned solid state image sensors among two or more above-mentioned solid state image sensors using the output of the 2nd solid state image sensor in the above-mentioned presumed operation means.

[Claim 8] The compensator of the solid state image sensor according to claim 6 characterized by performing presumption of the amendment signal of the pixel for amendment of the output of the 2nd solid state image sensor among two or



more above-mentioned solid state image sensors among two or more above-mentioned solid state image sensors using the output of the 1st solid state image sensor in the above-mentioned presumed operation means.

[Claim 9] The compensator of the solid state image sensor according to claim 5 characterized by choosing what has high level in the above-mentioned presumed operation means when acquiring the amendment signal of the pixel for amendment of the output of one solid state image sensor among two or more above-mentioned solid state image sensors based on the output of two or more solid state image sensors of another side.

[Claim 10] The compensator of the solid state image sensor according to claim 6 ~~characterized by choosing what has high level in the above-mentioned~~ presumed operation means when acquiring the amendment signal of the pixel for amendment of the output of the 3rd solid state image sensor among two or more above-mentioned solid state image sensors based on the output of the 1st and 2nd solid state image sensors.

[Claim 11] The 1st operation means which calculates with the output of the 1st solid state image sensor, and the operation output of the 1st and 2nd solid state image sensors among the solid state image sensors of the above-mentioned plurality [ means / above-mentioned / presumed operation ], The 2nd operation means which calculates among two or more above-mentioned solid state image

sensors with the output of the 2nd solid state image sensor of the above, and the operation output of the 2nd and 1st solid state image sensors of the above, The inside of two or more above-mentioned solid state image sensors, The compensator of the solid state image sensor according to claim 5 characterized by consisting of the 3rd operation means which calculates to the pixel of the 1st and 2nd solid state image sensors of the above with the output of the 3rd solid state image sensor of \*\*\*\*\* pettinesses \*\*\*\*\*, and the average output of the 2nd solid state image sensor of the above.

[Claim 12] 1st latch means by which the operation means of the above 1st latches the output of the 1st solid state image sensor of the above, The 2nd latch means which latches the output from this 1st latch means, The multiplication means which carries out the multiplication of the output of the 2nd solid state image sensor of the above from the operation means of the above 2nd, and the output from the latch means of the above 1st, The compensator of the solid state image sensor according to claim 6 characterized by consisting of division means to perform division with the output from the latch means of the above 2nd, and the multiplication output from the above-mentioned multiplication means.

[Claim 13] 1st latch means by which the operation means of the above 2nd latches the output of the 2nd solid state image sensor of the above, The 2nd latch means which latches the output from this 1st latch means, The

multiplication means which carries out the multiplication of the output of the 1st solid state image sensor of the above from the operation means of the above 1st, and the output from the latch means of the above 1st, The compensator of the solid state image sensor according to claim 6 characterized by consisting of division means to perform division with the output from the latch means of the above 2nd, and the multiplication output from the above-mentioned multiplication means.

[Claim 14] 1st latch means by which the operation means of the above 3rd latches the output of the 3rd solid state image sensor of the above, An average means to add and average the output before one from the output of the 2nd solid state image sensor of the above from the operation means of the above 2nd at present, and this this time, The multiplication means which carries out the multiplication of the average output from this average means, and the output of the 3rd solid state image sensor of the above from the latch means of the above 1st, The compensator of the solid state image sensor according to claim 6 characterized by consisting of division means to perform division with the output from the 2nd latch means which latches the average output from the above-mentioned average means, and this 2nd latch means, and the multiplication output from the above-mentioned multiplication means.

[Claim 15] The above-mentioned presumed operation means sets time of day of

arbitration to  $k$ , and sets time of day in front of one to  $(k-1)$  from the time of day of this arbitration. The output of  $y$  and the 2nd solid state image sensor is set to  $x$  for the output of the 1st solid state image sensor among two or more above-mentioned solid state image sensors. The compensator of the solid state image sensor according to claim 5 characterized by searching for the amendment signal of the above-mentioned output which should be carried out amendment by the formula shown by  $y(k)/y(k-1)$  and  $x(k-1)$  when it is the output which the output of the 2nd solid state image sensor of the above corresponding to time of day  $k$  should amend.

[Claim 16] The output of at least two solid state image sensors is used for the ~~above-mentioned presumed operation~~ means among the outputs of two or more above-mentioned solid state image sensors. Apply a secondary curve to two or more near pixels of the pixel corresponding to the above-mentioned output which should be carried out amendment, and the secondary subject-copy image is approximated locally. The compensator of the solid state image sensor according to claim 5 characterized by the above-mentioned curve presuming the amendment signal of the above-mentioned output which should be carried out amendment based on the time of day which asks for the time of day which takes extremal value, and takes two or more near pixels and above-mentioned extremal value of a pixel corresponding to the above-mentioned output which

should be carried out amendment.

[Claim 17] The above-mentioned presumed operation means sets time of day of arbitration to k, and sets time of day in front of one to (k-1) from the time of day of this arbitration. When it is the output whose output of the 2nd solid state image sensor of the above corresponding to time of day k the output of y and the 2nd solid state image sensor should be set to x, and should amend the output of the 1st solid state image sensor among two or more above-mentioned solid state image sensors, they are  $\{x(k+1)+x(k-1)\} / 2 - \{x(k+1)-x(k-1)\}$ .

$\{y(k+1)+y(k-1)-2y(k)\} / 2 - \{y(k+1)-y(k-1)\}$

The compensator of the solid state image sensor according to claim 5 characterized by coming out and searching for the amendment signal of the above-mentioned output which should be carried out amendment by the shown formula.

[Claim 18] The output of two solid state image sensors which have offset of a half-pixel period mutually at least among the outputs of two or more above-mentioned solid state image sensors is used for the above-mentioned presumed operation means. Apply a secondary curve to two or more near pixels of the pixel corresponding to the above-mentioned output which should be carried out amendment, and the secondary subject-copy image is approximated locally. The compensator of the solid state image sensor according to claim 5

characterized by the above-mentioned curve presuming the amendment signal of the above-mentioned output which should be carried out amendment based on the time of day which asks for the time of day which takes extremal value, and takes two or more near pixels and above-mentioned extremal value of a pixel corresponding to the above-mentioned output which should be carried out amendment.

[Claim 19] The above-mentioned presumed operation means sets time of day of arbitration to  $k$ , and sets time of day in front of one to  $(k-1)$  from the time of day of this arbitration. When it is the output whose output of the 2nd solid state image sensor of the above corresponding to time of day  $k$  the output of  $y$  and the 2nd solid state image sensor should be set to  $x$ , and should amend the output of the 1st solid state image sensor among two or more above-mentioned solid state image sensors, they are  $\{x(k+1)+x(k-1)\} / 2 - \{x(k+1)-x(k-1)\}$ .

$$\{y(k+1)+y(k-1)-2y(k)\} / 4 \{y(k)-y(k-1)\}$$

The compensator of the solid state image sensor according to claim 5 characterized by coming out and searching for the amendment signal of the above-mentioned output which should be carried out amendment by the shown formula.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is applied to the video camera camera which used for example, the CCD component, and relates to the compensator of a suitable solid state image sensor.

[0002]

[Description of the Prior Art] In the video camera using the conventional, for example, CCD, component, there was a problem that the image quality of the image picturized and obtained by the so-called defect pixel which outputs the signal of unique level in the condition that light has not carried out incidence among each pixel of a CCD component deteriorated.

[0003] Then, the amendment circuit which amends in the former the signal which a defect pixel outputs to a video camera is recorded. Before shipping a video camera to a user, among the CCD components of a video camera, which pixel inspects whether it is a defect pixel, and carries out memorizing the information which shows the defect pixel obtained as a result of the inspection to the storage area of the amendment circuit of a video camera etc. After crossing to a user's hand, the signal which a defect pixel outputs is made to be amended by this

amendment circuit.

[0004] As the approach of this amendment, approaches, such as the defective amendment approaches, such as the so-called zero-order interpolation and primary interpolation, and the so-called RPN (residual pattern noise) amendment, are put in practical use.

[0005] Zero-order interpolation is the approach of transposing the signal which held the signal outputted from the defect pixel in the sampling circuit, and was outputted from the defect pixel to the signal of the pixel in front of one among the former amendment approaches.

[0006] Moreover, primary interpolation is the approach of transposing the signal which obtains the average of the signal outputted from the pixel in front of [ of a defect pixel ] one, and the signal outputted from the next pixel of this defect pixel, and is outputted from a defect pixel to an average signal among the former amendment approaches.

[0007] Moreover, the latter approach, i.e., RPN (residual pattern noise) amendment, is the approach of offsetting the signal which is made to generate the signal equivalent to the signal outputted from a defect pixel inside a video camera, subtracts this generated signal from the signal outputted from a defect pixel, and is outputted from a defect pixel.

[0008]



[Problem(s) to be Solved by the Invention] by the way, by the approach replaced with the signal of the pixel in front of one, the signal which held the signal outputted from the defect pixel mentioned above in the sampling circuit, and was outputted from the defect pixel The frequency band in an amending point was set to one half, informational lack was generated, and there was un-arranging [ of it having become impossible to reproduce image data, such as fine pinstripes for example, and degrading image quality very much by this ].

[0009] This invention tends to propose the compensator of a CCD component which was made in view of this point, and can also reproduce image data, such as fine pinstripes, for example, can prevent degradation of image quality by this.

---

[0010]

[Means for Solving the Problem] Among two or more sampling means 8, 9, and 10 to sample the output signal from two or more solid state image sensors 1, 2, and 3, respectively, and each pixel of solid state image sensors 1, 2, and 3, while this invention generates the signal which shows the location of the pixel used as the candidate for amendment The control means 18 and 19 which generate various control signals corresponding to the location of a pixel, Timing generating means 4, 5, 6, and 7 to supply a sampling signal to two or more sampling means 8, 9, and 10 based on the control signal from control means 18 and 19, respectively while supplying a timing signal to two or more solid state

image sensors 1, 2, and 3, Amendment means 11, 12, 13, 14, 15, 16, and 17 to acquire the amendment signal of the pixel which serves as a candidate for amendment based on two or more output signals from two or more sampling means 8, 9, and 10, respectively, It has output means 20, 22, and 24 to output alternatively the output signal or amendment signal from the sampling means 8, 9, and 10 based on the control signal from control means 18 and 19.

[0011] Furthermore, this invention makes two or more sampling means 8, 9, and 10 a correlation duplex sampling means to perform sample hold for the output from two or more solid state image sensors 1, 2, and 3 based on two or more 1st [ the ] of the timing generating means 4, 5, 6, and 7, and the 2nd sample hold signal, in \*\*\*\*.

[0012] Furthermore, this invention has a storage means 18 by which control means 18 and 19 show the location of the pixel for amendment of at least two or more solid state image sensors 1, 2, and 3, in \*\*\*\*.

[0013] Furthermore, this invention has two or more selection means 5, 6, and 7 by which the timing generating means 4, 5, 6, and 7 choose supply of two or more sampling signals which receive the sampling means 8, 9, and 10 based on the control signal from control means 18 and 19, in \*\*\*\*.

[0014] Furthermore, two or more conversion means 11, 12, and 13 by which this invention changes the output from two or more sampling means 8, 9, and 10 into

a digital signal for the amendment means 11, 12, 13, 14, 15, 16, and 17 in \*\*\*\*, Delay means 14, 15, and 16 by which each output from the conversion means 11, 12, and 13 of these plurality is delayed, respectively, It constitutes from a presumed operation means 17 to presume the amendment signal of the pixel for amendment based on the control signal from two or more each output and control means 18 and 19 from the conversion means 14, 15, and 16.

[0015] Furthermore, this invention performs presumption of the amendment signal of the pixel for amendment of the output of the 3rd solid state image sensor 3 of \*\*\*\*\* pettinesses \*\*\*\*\* in the presumed operation means 17 in \*\*\*\* using the output of the 1st or 2nd solid state image sensor 1 and 2 to the pixel of the 1st and 2nd solid state image sensors 1 and 2 among two or more solid state image sensors 1, 2, and 3 among two or more solid state image sensors 1, 2, and 3.

[0016] Furthermore, this invention performs presumption of the amendment signal of the pixel for amendment of the output of the 1st solid state image sensor 1 in the presumed operation means 17 in \*\*\*\* using the output of the 2nd solid state image sensor 2 among two or more solid state image sensors 1, 2, and 3 among two or more solid state image sensors 1, 2, and 3.

[0017] Furthermore, this invention performs presumption of the amendment signal of the pixel for amendment of the output of the 2nd solid state image

sensor 2 in the presumed operation means 17 in \*\*\*\* using the output of the 1st solid state image sensor 1 among two or more solid state image sensors 1, 2, and 3 among two or more solid state image sensors 1, 2, and 3.

[0018] Furthermore, in \*\*\*\*, in the presumed operation means 17, this invention chooses what has high level, when acquiring the amendment signal of the pixel for amendment of the output of one solid state image sensors 1, 2, or 3 based on the output of two or more solid state image sensors 1, 2, or 3 of another side among two or more solid state image sensors 1, 2, and 3.

[0019] Furthermore, in \*\*\*\*, in the presumed operation means 17, this invention chooses what has high level, when acquiring the amendment signal of the pixel for amendment of the output of the 3rd solid state image sensor 3 based on the output of the 1st and 2nd solid state image sensors 1 and 2 among two or more solid state image sensors 1, 2, and 3.

[0020] This invention is set to \*\*\*\*. The presumed operation means 17 Furthermore, the inside of two or more solid state image sensors 1, 2, and 3, The 1st operation means 27, 28, 29, and 30 which calculates with the output of the 1st solid state image sensor 1, and the operation output of the 1st and 2nd solid state image sensors 1 and 2, The 2nd operation means 33, 34, 35, and 36 which calculates with the output of the 2nd solid state image sensor 2, and the operation output of the 2nd and 1st solid state image sensors 2 and 1 among

two or more solid state image sensors 1, 2, and 3, The inside of two or more solid state image sensors 1, 2, and 3, It constitutes from the 3rd operation means 38, 39, 41, 42, 43, and 44 which calculates to the pixel of the 1st and 2nd solid state image sensors 1 and 2 with the output of the 3rd solid state image sensor 3 of \*\*\*\*\* pettinesses \*\*\*\*\*, and the average output of the 2nd solid state image sensor 2.

[0021] Furthermore, 1st latch means 27 by which this invention latches the output of the 1st solid state image sensor 1 for the 1st operation means 27, 28, 29, and 30 in \*\*\*\*, The 2nd latch means 28 which latches the output from this 1st latch means 27, It constitutes from a division means 30 to perform division with the output from the multiplication means 29 which carries out the multiplication of the output of the 2nd solid state image sensor 2 from the 2nd operation means 33, 34, 35, and 36, and the output from the 1st latch means 27, and the 2nd latch means 28, and the multiplication output from the multiplication means 29.

[0022] Furthermore, 1st latch means 33 by which this invention latches the output of the 2nd solid state image sensor 2 for the 2nd operation means 33, 34, 35, and 36 in \*\*\*\*, The 2nd latch means 34 which latches the output from this 1st latch means 33, It constitutes from a division means 36 to perform division with the output from the multiplication means 35 which carries out the multiplication of the output of the 1st solid state image sensor 1 from the 1st operation means 27,

28, 29, and 30, and the output from the 1st latch means 33, and the 2nd latch means 34, and the multiplication output from the multiplication means 35.

[0023] Furthermore, 1st latch means 41 by which this invention latches the output of the 3rd solid state image sensor 3 for the 3rd operation means 38, 39, 41, 42, 43, and 44 in \*\*\*\*, Average means 38 and 39 to add and average the output before one from the output of the 2nd solid state image sensor 2 from the 2nd operation means 33, 34, 35, and 36 at present, and this this time, The multiplication means 42 which carries out the multiplication of the average output from these average means 38 and 39, and the output of the 3rd solid state image sensor 3 from the 1st latch means 41, It constitutes from a division means 44 to perform division with the output from the 2nd latch means 43 which latches the average output from the average means 38 and 39, and this 2nd latch means 43, and the multiplication output from the multiplication means 42.

[0024] This invention is set to \*\*\*\*. Furthermore, the presumed operation means 17 Set time of day of arbitration to  $k$ , and time of day in front of one is set to  $(k-1)$  from the time of day of this arbitration. The output of  $y$  and the 2nd solid state image sensor is set to  $x$  for the output of the 1st solid state image sensor among two or more solid state image sensors. When it is the output which the output of the 2nd solid state image sensor corresponding to time of day  $k$  should amend, the amendment signal of the output which should be amended by the formula

shown by  $y(k)/y(k-1)$  and  $x(k-1)$  is searched for.

[0025] This invention is set to \*\*\*\*. Furthermore, the presumed operation means

17 The output of at least two solid state image sensors 1, 2, or 3 is used among the outputs of two or more solid state image sensors 1, 2, and 3. Apply a secondary curve to two or more near pixels of the pixel corresponding to the output which should be amended, and the secondary subject-copy image is approximated locally. A curve asks for the time of day which takes extremal value, and presumes the amendment signal of the output which should be amended based on the time of day which takes two or more near pixels and extremal value of a pixel corresponding to the output which should amend.

~~[0026] This invention is set to \*\*\*\*. Furthermore, the presumed operation means~~

17 Set time of day of arbitration to  $k$ , and time of day in front of one is set to  $(k-1)$  from the time of day of this arbitration. The output of the 1st solid state image sensor 1, 2, or 3 among two or more solid state image sensors 1, 2, and 3  $y$ , When it is the output which should set the output of the 2nd solid state image sensor 1, 2, or 3 to  $x$ , and the output of the 2nd solid state image sensor 1, 2, or 3 corresponding to time of day  $k$  should amend  $\{x(k+1)+x(k-1)\} / 2$ - the amendment signal of the output which should be amended by the formula shown by  $y [ \{x(k+1)-x(k-1)\} ]$  and  $/ \{y(k+1)+y(k-1)-2y(k)\} / 2 \{y(k+1)-y(k-1)\}$  is searched for.

[0027] This invention is set to \*\*\*\*. Furthermore, the presumed operation means

17 The output of two solid state image sensors 1, 2, or 3 which have offset of a half-pixel period mutually at least among the outputs of two or more solid state image sensors 1, 2, and 3 is used. Apply a secondary curve to two or more near pixels of the pixel corresponding to the output which should be amended, and the secondary subject-copy image is approximated locally. A curve asks for the time of day which takes extremal value, and presumes the amendment signal of the output which should be amended based on the time of day which takes two or more near pixels and extremal value of a pixel corresponding to the output which should amend.

~~[0028] This invention is set to \*\*\*\*. Furthermore, the presumed operation means~~

17 Set time of day of arbitration to k, and time of day in front of one is set to (k-1) from the time of day of this arbitration. The output of the 1st solid state image sensor 1, 2, or 3 among two or more solid state image sensors 1, 2, and 3 y, When it is the output which should set the output of the 2nd solid state image sensor 1, 2, or 3 to x, and the output of the 2nd solid state image sensor 1, 2, or 3 corresponding to time of day k should amend  $\{x(k+1)+x(k-1)\} / 2$ - the amendment signal of the output which should be amended by the formula shown by  $[y [ \{x(k+1)-x(k-1)\} ]$  and  $/ \{y(k+1)+y(k-1)-2y(k)\} ]/4 \{y(k)-y(k-1)\}$  is searched for.



[0029]

[Function] According to the configuration of above-mentioned \*\*\*\* this invention, by control means 18 and 19 The inside of each pixel of solid state image sensors 1, 2, and 3, Generate the signal which shows the location of the pixel used as the candidate for amendment, and the amendment signal of a pixel with which the amendment means 11, 12, 13, 14, 15, 16, and 17 serve as a candidate for amendment at the signal list based on two or more output signals from two or more sampling means 8, 9, and 10 is acquired, respectively. Based on the control signal from control means 18 and 19, the output signal or amendment signal from the sampling means 8, 9, and 10 is alternatively outputted with the output means 20, 22, and 24.

[0030] Furthermore, according to the configuration of this invention, in \*\*\*\*, a correlation duplex sampling is performed for the output from two or more solid state image sensors 1, 2, and 3 based on two or more 1st [ the ] of the timing generating means 4, 5, 6, and 7, and the 2nd sample hold signal.

[0031] Furthermore, according to the configuration of this invention, in \*\*\*\*, a control means 19 uses the location of the pixel for amendment of two or more solid state image sensors 1, 2, and 3 memorized for the storage means 18.

[0032] Furthermore, according to the configuration of this invention, in \*\*\*\*, supply of two or more sampling signals which receive the sampling means 8, 9,

and 10 is chosen with two or more selection means 5, 6, and 7 based on the control signal from control means 18 and 19.

[0033] Furthermore, according to the configuration of this invention, in \*\*\*\*, the output from two or more sampling means 8, 9, and 10 is changed into a digital signal with two or more conversion means 11, 12, and 13. Each output from the conversion means 11, 12, and 13 of these plurality is delayed with the delay means 14, 15, and 16, and the amendment signal of the pixel for amendment is presumed with the presumed operation means 17 based on the control signal from two or more each output and control means 18 and 19 from the conversion means 14, 15, and 16.

[0034] Furthermore, according to the configuration of this invention, in \*\*\*\*, the presumed operation means 17 performs presumption of the amendment signal of the pixel for amendment of the output of the 3rd solid state image sensor 3 of \*\*\*\*\* pettinesses \*\*\*\*\* using the output of the 1st or 2nd solid state image sensor 1 and 2 to the pixel of the 1st and 2nd solid state image sensors 1 and 2 among two or more solid state image sensors 1, 2, and 3 among two or more solid state image sensors 1, 2, and 3.

[0035] Furthermore, according to the configuration of this invention, in \*\*\*\*, presumption of the amendment signal whose presumed operation means 17 is the pixel for amendment of the output of the 1st solid state image sensor 1

among two or more solid state image sensors 1, 2, and 3 is performed using the output of the 2nd solid state image sensor 2 among two or more solid state image sensors 1, 2, and 3.

[0036] Furthermore, according to the configuration of this invention, in \*\*\*\*, presumption of the amendment signal whose presumed operation means 17 is the pixel for amendment of the output of the 2nd solid state image sensor 2 among two or more solid state image sensors 1, 2, and 3 is performed using the output of the 1st solid state image sensor 1 among two or more solid state image sensors 1, 2, and 3.

[0037] Furthermore, when acquiring the amendment signal whose presumed operation means 17 is the pixel for amendment of the output of one solid state image sensors 1, 2, or 3 among two or more solid state image sensors 1, 2, and 3 based on the output of two or more solid state image sensors 1, 2, or 3 of another side in \*\*\*\* according to the configuration of this invention, what has high level is chosen.

[0038] Furthermore, when acquiring the amendment signal whose presumed operation means 17 is the pixel for amendment of the output of the 3rd solid state image sensor 3 among two or more solid state image sensors 1, 2, and 3 based on the output of the 1st and 2nd solid state image sensors 1 and 2 in \*\*\*\* according to the configuration of this invention, what has high level is chosen.

[0039] According to the configuration of this invention, in \*\*\*\* Furthermore, the inside of two or more solid state image sensors 1, 2, and 3, The 1st operation means 27, 28, 29, and 30 performs the operation of the output of the 1st solid state image sensor 1, and the operation output of the 1st and 2nd solid state image sensors 1 and 2. The 2nd operation means 33, 34, 35, and 36 performs the operation of the output of the 2nd solid state image sensor 2, and the operation output of the 2nd and 1st solid state image sensors 2 and 1 among two or more solid state image sensors 1, 2, and 3. The 3rd operation means 38, 39, 41, 42, 43, and 44 performs the operation of the output of the 3rd solid state image sensor 3 of \*\*\*\*\* pettinesses \*\*\*\*\*, and the average output of the 2nd solid state image sensor 2 to the pixel of the 1st and 2nd solid state image sensors 1 and 2 among two or more solid state image sensors 1, 2, and 3.

[0040] Furthermore, according to the configuration of this invention, in \*\*\*\*, the output of the 1st solid state image sensor 1 is latched with the 1st latch means 27. The output from this 1st latch means 27 is latched with the 2nd latch means 28. The multiplication means 29 performs the multiplication of the output of the 2nd solid state image sensor 2 from the 2nd operation means 33, 34, 35, and 36, and the output from the 1st latch means 27, and the division means 30 performs division in the output from the 2nd latch means 28, and the multiplication output from the multiplication means 29.

[0041] Furthermore, according to the configuration of this invention, in \*\*\*\*, the output of the 2nd solid state image sensor 2 is latched with the 1st latch means 33. The output from this 1st latch means 33 is latched with the 2nd latch means 34. The multiplication means 35 performs the multiplication of the output of the 1st solid state image sensor 1 from the 1st operation means 27, 28, 29, and 30, and the output from the 1st latch means 33, and the division means 36 performs division in the output from the 2nd latch means 34, and the multiplication output from the multiplication means 35.

[0042] Furthermore, according to the configuration of this invention, in \*\*\*\*, the output of the 3rd solid state image sensor 3 is latched with the 1st latch means 41. The output before one is added with the average means 38 and 39 from the output of the 2nd solid state image sensor 2 from the 2nd operation means 33, 34, 35, and 36 at present, and this this time. Average and the multiplication of the average output from these average means 38 and 39 and the output of the 3rd solid state image sensor 3 from the 1st latch means 41 is carried out with the multiplication means 42. The average output from the average means 38 and 39 is latched with the 2nd latch means 43, and the division means 44 performs division in the output from this 2nd latch means 43, and the multiplication output from the multiplication means 42.

[0043] According to the configuration of this invention, in \*\*\*\* furthermore, the

presumed operation means 17 Set time of day of arbitration to  $k$ , and time of day in front of one is set to  $(k-1)$  from the time of day of this arbitration. The output of  $y$  and the 2nd solid state image sensor is set to  $x$  for the output of the 1st solid state image sensor among two or more solid state image sensors. When it is the output which the output of the 2nd solid state image sensor corresponding to time of day  $k$  should amend, the amendment signal of the output which should be amended by the formula shown by  $y(k)/y(k-1)$  and  $x(k-1)$  is searched for.

[0044] According to the configuration of this invention, in \*\*\*\* furthermore, the presumed operation means 17 The output of at least two solid state image sensors 1, 2, or 3 is used among the outputs of two or more solid state image sensors 1, 2, and 3. A secondary curve is applied to two or more near pixels of the pixel corresponding to the output which should be amended, the secondary subject-copy image is approximated locally, and a curve asks for the time of day which takes extremal value, and presumes the amendment signal of the output which should be amended based on the time of day which takes two or more near pixels and extremal value of a pixel corresponding to the output which should amend.

[0045] According to the configuration of this invention, in \*\*\*\* furthermore, the presumed operation means 17 Set time of day of arbitration to  $k$ , and time of day in front of one is set to  $(k-1)$  from the time of day of this arbitration. The output of

the 1st solid state image sensor 1, 2, or 3 among two or more solid state image sensors 1, 2, and 3 y, When it is the output which should set the output of the 2nd solid state image sensor 1, 2, or 3 to x, and the output of the 2nd solid state image sensor 1, 2, or 3 corresponding to time of day k should amend  $\{x(k+1)+x(k-1)\} / 2$ - the amendment signal of the output which should be amended by the formula shown by  $[y + \{x(k+1)-x(k-1)\}]$  and  $/ \{y(k+1)+y(k-1)-2y(k)\} / 2$   $\{y(k+1)-y(k-1)\}$  is searched for.

[0046] According to the configuration of this invention, in \*\*\*\* furthermore, the presumed operation means 17 The output of two solid state image sensors 1, 2, or 3 which have offset of a half-pixel period mutually at least among the outputs of two or more solid state image sensors 1, 2, and 3 is used. A secondary curve is applied to two or more near pixels of the pixel corresponding to the output which should be amended, the secondary subject-copy image is approximated locally, and a curve asks for the time of day which takes extremal value, and presumes the amendment signal of the output which should be amended based on the time of day which takes two or more near pixels and extremal value of a pixel corresponding to the output which should amend.

[0047] According to the configuration of this invention, in \*\*\*\* furthermore, the presumed operation means 17 Set time of day of arbitration to k, and time of day in front of one is set to (k-1) from the time of day of this arbitration. The output of

the 1st solid state image sensor 1, 2, or 3 among two or more solid state image sensors 1, 2, and 3 y, When it is the output which should set the output of the 2nd solid state image sensor 1, 2, or 3 to x, and the output of the 2nd solid state image sensor 1, 2, or 3 corresponding to time of day k should amend  $\{x(k+1)+x(k-1)\} / 2$ - the amendment signal of the output which should be amended by the formula shown by  $y [ \{x(k+1)-x(k-1)\} ]$  and  $/ \{y(k+1)+y(k-1)-2y(k)\} / 4 \{y(k)-y(k-1)\}$  is searched for.

[0048]

[Example] Below, with reference to drawing 1 , one example of the compensator of this invention solid state image sensor is explained at a detail.

[0049] In this drawing 1 , as for the CCD component for (Blue B), and 2, 1 is [ the CCD component for (Red R) and 3 ] the CCD components for green (G), the light from the optical system of the video camera which is not illustrated is changed into each electrical signal, and each [ these ] CCD components 1, 2, and 3 output it as a video signal with the control signal from the timing generating circuit 4 mentioned later.

[0050] The video signal from these CCD components 1, 2, and 3 is supplied to the correlation duplex sampling circuits (it is described as a CDS circuit below) 8, 9, and 10, respectively. These CDS circuits 8, 9, and 10 supply the video signal which sampled the video signal from the CCD components 1, 2, and 3,



respectively, and sampled and acquired it based on two sample hold signals from the timing generating circuit 4 to the presumed arithmetic circuit 17 at delay circuits 14 and 15 and 16 lists through A/D-converters 11, 12, and 13 (pretreatment for A-D conversion is included), respectively.

[0051] The timing generating circuit 4 supplies a timing signal to the defective position signal generating circuit 19 mentioned later while supplying a control signal to a CCD component and it supplies two sample hold signals to the CDS circuits 8, 9, and 10 directly through switches 5, 6, and 7 at a list, respectively, as mentioned above.

[0052] The defective position signal generating circuit 19 is supplied to switches 5, 6, and 7 by making this defective position signal into a switching signal, respectively while it acquires a defective position signal from the defective location memory 18 based on the defective location data and the timing signal from the timing generating circuit 4 which read and read defective location data and supplies this defective position signal to the presumed arithmetic circuit 17.

[0053] Here, it consists of EEPROM, an EPROM, a one time ROM, RAM with backup, etc., and as mentioned above, as for the defective location memory 18, the location data of each defect pixel of three CCD components 1, 2, and 3 beforehand detected by defect pixel inspection etc. are written in.

[0054] When the defective position signal generating circuit 19 switches the

switches 5, 6, and 7 corresponding to the CCD components 1, 2, and 3 based on the location data of the defect pixel of three CCD components 1, 2, and 3 read from this defective location memory 18, respectively, the sampling action in three CDS circuits 8, 9, and 10 corresponding to these CCD components 1, 2, and 3 is controllable. In addition, the need for these switches 5, 6, and 7 is explained in detail later.

[0055] Delay circuits 14, 15, and 16 supply the video signal with which only the part for which a signal is delayed delayed the video signal from A/D-converters 11, 12, and 13, and was delayed in the presumed arithmetic circuit 17, respectively to each stationary contacts 20a, 22a, and 24a of switches 20, 22, and 24.

[0056] Although the presumed arithmetic circuit 17 is explained in detail later, by carrying out predetermined data processing to the video signal (it corresponding to blue, red, and green, respectively) from A/D-converters 11, 12, and 13, it acquires the amendment signal for defect pixels, and supplies this to each stationary contacts 20b, 22b, and 24b of switches 20, 22, and 24, respectively.

[0057] Therefore, in a switch 20, when traveling contact 20c connects with stationary contacts 20a or 20b alternatively according to the switching signal from the defective position signal generating circuit 19, the video signal corresponding to the red from a delay circuit 14 or the amendment signal for the

defect pixels from the presumed arithmetic circuit 17 is supplied to other digital disposal circuits of the video camera which is not alternatively illustrated through an output terminal 21 etc.

[0058] In a switch 22, when traveling contact 22c connects with stationary contacts 22a or 22b alternatively according to the switching signal from the defective position signal generating circuit 19, the video signal corresponding to the red from a delay circuit 14 or the amendment signal for the defect pixels from the presumed arithmetic circuit 17 is supplied to other digital disposal circuits of the video camera which is not alternatively illustrated through an output terminal 23 etc.

~~[0059] In a switch 24, when traveling contact 24c connects with stationary contacts 24a or 24b alternatively according to the switching signal from the defective position signal generating circuit 19, the video signal corresponding to the red from a delay circuit 14 or the amendment signal for the defect pixels from the presumed arithmetic circuit 17 is supplied to other digital disposal circuits of the video camera which is not alternatively illustrated through an output terminal 25 etc.~~

[0060] Next, it explains in more detail about the presumed arithmetic circuit 17 shown in drawing 1 with reference to drawing 2 .

[0061] In this drawing 2 , 26 is the input terminal with which the video signal

corresponding to the blue from A/D-converter 11 shown in drawing 1 is supplied, it connects this input terminal 26 to the input edge of a ratio circuit 30 through a flip-flop circuit 27 and a flip-flop circuit 28, connects the node of flip-flop circuits 27 and 28 to the input edge of the multiplication circuit 29, and connects the outgoing end of this multiplication circuit 29 to the input edge of a ratio circuit 30 further. Moreover, the outgoing end of the flip-flop circuit 34 of the processor of the video signal corresponding to the red who mentions later is connected to the input edge of the multiplication circuit 29.

[0062] 32 is the input terminal with which the video signal corresponding to the red from A/D-converter 12 shown in drawing 1 is supplied, it connects this input terminal 32 to the input edge of a ratio circuit 36 through a flip-flop circuit 33 and a flip-flop circuit 34, connects the node of flip-flop circuits 33 and 34 to the input edge of the multiplication circuit 35, and connects the outgoing end of this multiplication circuit 35 to the input edge of a ratio circuit 36 further. Moreover, the outgoing end of the flip-flop circuit 28 of the processor of the video signal corresponding to red is connected to the input edge of the multiplication circuit 35.

[0063] 40 is the input terminal with which the video signal which corresponded green from A/D-converter 13 shown in drawing 1 is supplied, connects this input terminal 40 to the input edge of the multiplication circuit 42 through a flip-flop

circuit 42, and connects the outgoing end of this multiplication circuit 42 to the input edge of a ratio circuit 44 further.

[0064] On the other hand, the input terminal 32 with which the video signal corresponding to red is supplied is connected to the input edge of an adder circuit 38, the outgoing end of a flip-flop circuit 33 is connected to the input edge of this adder circuit 38, the outgoing end of this adder circuit 38 is connected to the input edge of the multiplication circuit 39, the outgoing end of this multiplication circuit 39 is connected to the input edge of the multiplication circuit 42 at the input edge of a flip-flop circuit 43, and a list, respectively, and the outgoing end of a flip-flop circuit 43 is connected to the input edge of a ratio circuit 44.

[0065] He applies the multiplier set to one half to the addition output from an adder circuit 38 in the multiplication circuit 39, and is trying to obtain an average with the video signal corresponding to the red in front of one here from current [ from the current video signal corresponding to red and current flip-flop circuit 33 of an input terminal 32 ].

[0066] CCD 1, 2, or 3 which has the healthy CCD components 1, 2, or 3 and a defect pixel among the CCD components 1, 2, or 3 with reference to drawing 3 before explanation of this circuit of operation is explained. for example, time of day (.... k-3, k-2, k-1, and k --) with the CCD component in which drawing 3 A

does not have a defect pixel The output wave which acquired k+1, k+2, and the output wave acquired by the sampling for every pixel of .... by the sampling for every pixel of time of day (.... k-3, k-2, k-1, k, k+1, k+2, ....) with the CCD component in which drawing 3 B has a defect pixel is shown, respectively.

[0067] Drawing 4 B of the CCD component in which drawing 4 A does not have a defect pixel shows the output wave sampled and acquired for every time of day k-1 of a CCD component with a defect pixel, and pixel of k, respectively. When a defect pixel is set to x (k), y (n) and x (n) are calculated, x (k) is presumed, and this is made into an amendment signal.

[0068] Although various things can be considered as a presumed algorithm, the case where primary presumption is performed as an example here is explained.

[0069] Presumption of a defect pixel x (k) can be performed by the formula shown by the following several 1.

[0070]

[Equation 1]

$$x(k) = \{y(k)/y(k-1)\}, x(k-1)$$

[0071] That is, this shows that it presumes by assuming the rate of change between contiguity pixels to be the same thing also in a CCD component with the defect pixel shown in drawing 3 B based on the rate of change between the contiguity pixels in a CCD component without the defect pixel shown in drawing

3 A as what a large change of a hue does not have in a contiguity pixel.

[0072] Now, presumption which mentioned the CCD component above since the geometric location whose channel of blue and red is a pixel was the same as mentioned above when three sheets were used as it is green, blue, red, and so to speak, assume the local tracking of a signal, and according to several 1 can be performed mutually.

[0073] However, the green channel makes the pixel location the condition of having shifted the pixel only one half horizontally to the channel of blue and red, in order to high-resolution-ize. Therefore, it is rather dangerous to use the tracking mentioned above as it is.

[0074] Arrangement of the pixel when giving pixel \*\*\*\*\* to drawing 5 and the example of an incidence image are shown. In this drawing 5, the part in which the incidence of light does not have the part which gave the slash, and the part to which the slash is not given are parts with the incidence of light, and the sign which shows time amount (.... k, k+1, k+9 ....) to an upper case for the pixel of blue and a red CCD component at the pixel of a green CCD component and the lower berth, respectively is attached and shown. As shown in this drawing 5, the geometric location of the green pixel of a CCD component and the geometric location of the pixel of blue and a red CCD component are 1 / 2 pitch gap \*\*\*\*\*.

[0075] The green CCD component in this case is shown in drawing 6 A, and the

output wave of blue and a red CCD component is shown in drawing 6 B. For the output which is shown in drawing 6 A as shown in this drawing 6 and which corresponded green, and the output corresponding to blue and red, a time location is abbreviation 1 / 2 pitch gap \*\*\*\*\*.

[0076] When presumption of the blue or red located in right and left of the pixel of a green CCD component which makes 2 pixels of averaging of B or R G' (refer to drawing 6 C), and is shown by several 1 based on this is performed, it can express with several 2 formula shown below.

[0077]

[Equation 2]

$$G'(k) = 1/2 \{R(k) + R(k-1)\}$$

[0078] If the formula shown in this several 2 is applied to the formula shown in several 1, it will become the formula shown by the following several 3.

[0079]

[Equation 3]

$$G(k) = \{G'(k)/G'(k-1)\} \cdot G(k-1)$$

[0080] Thus, the value of which channel can be presumed using blue, red, and which a green channel. And by this presumption, the value of a defect pixel can be presumed and defective amendment can be performed. Although the technique of determining which channel is chosen as the data used as a



presumed basis can also consider various things, when a channel with high signal level is chosen, for example, it becomes advantageous in respect of S/N.

[0081] That is, the circuitry shown in drawing 1 can perform actuation which switches the HARASHIN number and a presumed signal in a defect pixel location, and is made to realize it as a digital signal system from nonlinear processing being needed in a moreover more advanced presumed algorithm. In the presumed arithmetic circuit 17 shown in drawing 1, it is the part which calculates the formula shown by several 1, several 2, and several 3, and switches 20, 22, and 24 switch a main track signal and a presumed signal in a defective location, and delay circuits 14, 15, and 16 compensate delay (a part for for example, two clocks) according [ and ] to a presumed operation, and arrange the time of day of a main track signal and a presumed signal.

[0082] And as drawing 2 shows the example of a configuration for calculating the formula shown by several 1, several 2, and several 3 and shows it by several 1, several 2, and several 3 As an example, the video signal corresponding to red is presumed from the video signal corresponding to blue for the video signal corresponding to the blue from the video signal corresponding to red. And he asks for G' which presumed the green channel and was mentioned above from the formula shown by several 3 based on the signal of advantageous red's channel in respect of [ channel / blue ] S/N, and is trying to presume G signal

made into an amendment signal from this G'.

[0083] By the way, when an amendment signal is acquired and it is made to switch with a main track signal by presumption in this way, the defective signal which is an impulse by the response of pretreatment in A/D-converters 11, 12, and 13 may produce an error in subsequent processing at the CDS circuits 8 and 9 shown in drawing 1 , and 10 lists by the breadth of the signal corresponding to a lifting and this defect pixel for breadth.

[0084] Then, in this example, as mentioned above, these switches 5, 6, and 7 are turned OFF, and it is made to form switches 5, 6, and 7, and not to sample the output signal by the defect pixel in the CDS circuits 8, 9, and 10 at the time of the output of a defect pixel according to the switching signal from the defective position signal generating circuit 19.

[0085] By doing in this way, mute of the signal is carried out at the time of the output of a defect pixel, and subsequent processing is not affected.

[0086] Next, actuation of the circuit of drawing 1 is explained focusing on explanation of the presumed arithmetic circuit 17 shown in drawing 2 of operation.

[0087] First, through the optical system which is not illustrated, the light of a green component makes it the CCD component 1 at the light of a blue component, and makes incidence to the CCD component 2 at the light of a red

component, and the CCD component 3, respectively, and each CCD components 1, 2, and 3 output light-receiving light as a video signal with the timing signal from the timing generating circuit 4 by photo electric conversion with this. The video signal of these CCD component 1 and the channel (B channels) of the blue outputted from 2 \*\* 3, the video signal of a red channel (R channels), and the video signal of a green channel (G channels) are supplied to the CDS circuits 8, 9, and 10, respectively.

[0088] After sample hold of B, R, and the video signal of G channels which were supplied to the CDS circuits 8, 9, and 10 is carried out, respectively, they are changed into a digital signal with A/D-converters 11, 12, and 13, they are supplied to delay circuits 14, 15, and 16, for example, they are delayed by 2 and the clock, are outputted and are supplied to each stationary contacts 20a, 22a, and 24a of switches 20, 22, and 24, respectively.

[0089] On the other hand, B, R, and the digital video signal of G channels which were outputted from A/D-converters 11, 12, and 13, respectively are supplied also to the presumed arithmetic circuit 17.

[0090] After the digital video signal of B channels supplied to the presumed arithmetic circuit 17 through the input terminal 26 is latched in a flip-flop circuit 27, it is supplied to the multiplication circuit 29.

[0091] A sequential latch is carried out in flip-flop circuits 33 and 34, and the

digital video signal of R channels supplied to the presumed arithmetic circuit 17 through the input terminal 32 is supplied to a ratio circuit 36.

[0092] Now, since the output of a flip-flop circuit 34 is supplied to the multiplication circuit 29 of the processor of B channels, in the multiplication circuit 29, the multiplication of the output, the latch output (referred to as k) from a flip-flop circuit 27, and the latch output from a flip-flop circuit 34 (referred to as k-1), i.e., the output of the time of day of (k) of B channels, of the time of day of (k-1) of R channels is carried out.

[0093] And in a ratio circuit 30, division of this multiplication output  $B(k) \times R(k-1)$  is carried out with the output of a flip-flop circuit 28, i.e., the output of the time of day of (k-1) of B channels, it is outputted as an amendment signal (presumed signal) of R channels from an output terminal 31, and is supplied to stationary-contact 20b of the switch 20 shown in drawing 1 .

[0094] On the other hand, in the multiplication circuit 35, the multiplication of the output of a flip-flop circuit 33, i.e., the output of (k) time of day of R channels, is carried out to the output of the flip-flop circuit 28 of B channels, i.e., the output of the time of day (k-1) of B channels, and it is supplied to a ratio circuit 36.

[0095] Therefore, in a ratio circuit 36, output  $R(k) \times B(k-1)$  of the multiplication circuit 35 is broken by the output R from a flip-flop circuit 34 (k-1), is outputted as an amendment signal (presumed signal) of B channels from an output terminal

37, and is supplied to stationary-contact 22b of the switch 22 shown in drawing 1.

[0096] Moreover, in an adder circuit 38, the output (it considers as the time of day of k) of the digital video signal (it considers as the time of day of k+1) of R channels and flip-flop circuit 33 which are supplied to an input terminal 32 is added, and it is referred to as  $R(k+1) + R(k)$ . This signal is supplied to the multiplication circuit 39, and it is equalized to one half, and is referred to as  $\{R(k+1) + R(k)\} / 2$ , and the signal acquired by this equalization is supplied to the multiplication circuit 42 and a flip-flop circuit 43, respectively. Here, these equalization output  $\{R(k+1) + R(k)\} / 2$  are made into  $G'(k)$ .

[0097] In the multiplication circuit 42, the multiplication of output of flip-flop circuit 41, i.e.,  $G(k-1)$ , and output  $G[$  from the multiplication circuit 39  $]'(k)$  is carried out, it becomes output  $G(k-1) \times G'(k)$ , and this output is supplied to a ratio circuit 44.

[0098] On the other hand, it is supplied to a ratio circuit 44, output  $G[$  of the multiplication circuit 39  $]'(k)$  being latched in a flip-flop circuit 43, namely, being used as  $G'(k-1)$ . therefore, in a ratio circuit 44, output  $G(k-1) \times G[$  from the multiplication circuit 42  $]'(k)$  breaks by output  $G'(k-1)$  from a flip-flop circuit 43 -- having -- output  $\{G(k-1) - G'(k)\} / G -- '(k-1) --$  becoming -- This output is outputted through an output terminal 45 as an amendment signal (presumed signal) whose

number is G, and is supplied to stationary-contact 24b of the switch 24 shown in drawing 1 . In addition, G channels, B, and the time difference of R channels are \*\*\*\*\* depended for carrying out, as drawing 3 and drawing 4 explained.

[0099] Now, in the switches 20, 22, and 24 shown in drawing 1 , B, R and the amendment signal (presumed signal) of G channels which were generated as mentioned above, and B from the delay circuits 14, 15, and 16 which are main track signals, R and the signal of G channels are supplied to the circuit of a video camera body which it is switched by the switching signal from the defective position signal generating circuit 19, and is not illustrated from output terminals 21, 23, and 25, respectively. namely, when it becomes a defective location in B channels Traveling contact 20c of a switch 20 connects with stationary-contact 20b according to the switching signal from the defective position signal generating circuit 19. When the amendment signal of B channels is outputted by this through an output terminal 21 and becomes a defective location in R channels by it Traveling contact 22c of a switch 22 connects with stationary-contact 22b according to the switching signal from the defective position signal generating circuit 19. When the amendment signal of R channels is outputted by this through an output terminal 23 and becomes a defective location in G channels by it Traveling contact 24c of a switch 24 connects with stationary-contact 24b according to the switching signal from the defective

position signal generating circuit 19, and the amendment signal of G channels is outputted by this through an output terminal 25.

[0100] Thus, in this example, calculate B and the output of R channels, presume the output of the defect pixel of B channels in the presumed arithmetic circuit 17, and an amendment signal is acquired. Calculate R and the output of B channels, presume the output of the defect pixel of R channels, and an amendment signal is acquired. Presume the output of the defect pixel of G channels by B or the operation with R channels, acquire an amendment signal, and these amendment signals are set on switches 20, 22, and 24. Since it switches with a main track signal at the time of a defective location and was made to output to it by the switching signal from the defective position signal generating circuit 19 switched to these signals, for example even if it is image data like fine pinstripes, it can reappear faithfully, and image quality can be raised by this.

[0101] Moreover, switches 5, 6, and 7 are formed, and since switches 5, 6, and 7 are turned OFF according to the switching signal from the defective position signal generating circuit 19 and it was made not to carry out a sampling in the CDS circuits 8, 9, and 10 to the output of a defect pixel on the occasion, the effect by the breadth of the output signal by the defect pixel can be lost.

[0102] Next, other examples of the presumed arithmetic circuit 17 shown in drawing 2 with reference to drawing 7 and drawing 8 are explained.

[0103] The configuration as other examples of the presumed arithmetic circuit 17 is shown in drawing 7 as a whole. In this drawing 7, 46 is the input terminal with which the output of the time of day of  $(k-1)$  of a channel with a defect pixel is supplied, and connects this input terminal 46 to the input edge of an adder circuit 51, and the input edge of an adder circuit 53, respectively. 47 is the input terminal with which the output of the time of day of  $(k+1)$  of a channel with a defect pixel is supplied, and connects this input terminal 47 to the input edge of an adder circuit 51, and the input edge of an adder circuit 53, respectively.

[0104] 48 is the input terminal with which the output of the time of day of  $(k-1)$  of a channel without a defect pixel is supplied, and connects this input terminal 48 to the input edge of an adder circuit 54, and the input edge of an adder circuit 57, respectively. 49 is the input terminal with which the output of the time of day of  $(k)$  of a channel without a defect pixel is supplied, and connects this input terminal 49 to the input edge of the multiplication circuit 55. 50 is the input terminal with which the output of the time of day of  $(k+1)$  of a channel without a defect pixel is supplied, and connects this input terminal 50 to the input edge of an adder circuit 54, and the input edge of an adder circuit 57, respectively.

[0105] The outgoing end of an adder circuit 51 is connected to the input edge of the multiplication circuit 52, the outgoing end of this multiplication circuit 52 is connected to the input edge of an adder circuit 60, and the outgoing end of this



adder circuit 60 is connected to an output terminal 61. Moreover, the outgoing end of an adder circuit 53 is connected to the input edge of the multiplication circuit 56, the outgoing end of the multiplication circuit 55 is connected to the input edge of an adder circuit 54, the outgoing end of this adder circuit 54 is connected to the input edge of the multiplication circuit 56, the outgoing end of this multiplication circuit 56 is connected to the input edge of a ratio circuit 59, and the outgoing end of this ratio circuit 59 is connected to the input edge of an adder circuit 60. Moreover, the outgoing end of an adder circuit 57 is connected to the input edge of the multiplication circuit 58, and the outgoing end of this multiplication circuit 58 is connected to the input edge of a ratio circuit 59.

[0106] It doubles, when it doubles by multiplying by the multiplier to signal [ with which it is made one half when the multiplication circuit 52 multiplies an output by the multiplier from an adder circuit 51 here, and the multiplication circuit 55 is supplied respectively through an input terminal 49 ]  $y(k)$  and the multiplication circuit 58 multiplies by the multiplier to the output from an adder circuit 57.

[0107] Next, actuation of the presumed arithmetic circuit 17 shown in this drawing 7 is explained.

[0108] First, in an adder circuit 51, the signal  $x(k-1)$  supplied through an input terminal 46 and the signal  $x(k+1)$  supplied through an input terminal 47 are added, and it considers as Signal  $x(k-1)+x(k+1)$ . The multiplication circuit 52 is

supplied, in this multiplication circuit 52, it is equalized to one half, and is referred to as signal  $\{x(k-1)+x(k+1)\} / 2$ , and an adder circuit 60 is supplied.

[0109] And Signal  $x(k+1)$  is supplied to an adder circuit 53 through Signal  $x(k-1)$  and an input terminal 47 through an input terminal 46, respectively, it is added in this adder circuit 53, and is set to  $x(k+1)-x(k-1)$ , and the multiplication circuit 56 is supplied.

[0110] On the other hand, signal  $y(k)$  is supplied to the multiplication circuit 55 through an input terminal 49, a multiplier can take advantaging in this multiplication circuit 55, it is made  $2y(k)$ , and an adder circuit 54 is supplied.

Signal  $y(k+1)$  is supplied to an adder circuit 54 through Signal  $y(k-1)$  and an input terminal 50 again through an input terminal 48, respectively, therefore the output of this adder circuit 54 becomes  $y(k-1)+y(k+1)-2y(k)$ . This addition output is supplied to the multiplication circuit 56, the multiplication of it is carried out to the output  $x(k+1)-x(k-1)$  of an adder circuit 53, becomes  $\{y(k-1)+y(k+1)-2y(k)\} - \{x(k+1)-x(k-1)\}$ , and is supplied to a ratio circuit 59 after this.

[0111] Now,  $y(k+1)$  is supplied to an adder circuit 57 through Signal  $y(k-1)$  and an input terminal 50 through an input terminal 48, respectively. The multiplication circuit 58 is supplied, and in this multiplication circuit 58, a multiplier can take advantaging, it is set [ it is added in this adder circuit 57 and set to  $y(k+1)-y(k-1)$ , and ] to  $2\{y(k+1)-y(k-1)\}$ , and a ratio circuit 59 is supplied after this.

[0112] In a ratio circuit 59, the operation of  $\{y(k-1)+y(k+1)-2y(k)\} - \{x(k+1)-x(k-1)\} / [2 \{y(k+1)-y(k-1)\}]$  is performed, and this result is supplied to an adder circuit 60.

[0113] And in an adder circuit 60,  $\{y(k-1)+y(k+1)-2y(k)\} - \{x(k+1)-x(k-1)\} / [2 \{y(k+1)-y(k-1)\}]$  is subtracted from  $\{x(k-1)+x(k+1)\} / 2$  which are the output of the multiplication circuit 52. This subtraction result is supplied to the circuit of a video camera body which is not illustrated through an output terminal 61 as an amendment signal (presumed signal).

[0114]  $x$  [ namely, ]  $(n)$  -- ( $n = \dots k-2, k-1, k, k+1, k+2, \text{ and } \dots$ ) -- when it considers as the output of a CCD component with a defect pixel, the amendment signal (presumed signal) over the output of a defect pixel can be acquired by the formula shown by the following several 4.

[0115]

[Equation 4]

$x^*(k)$

$= \{x(k-1)+x(k+1)\} / 2 - \{ \{y(k-1)+y(k+1)-2y(k)\} - \{x(k+1)-x(k-1)\} / [2 \{y(k+1)-y(k-1)\}] \}$

$\{x(k+1)-x(k-1)\} / [2 \{y(k+1)-y(k-1)\}]$

[0116] This is explained in more detail with reference to drawing 8 . The output for every pixel of the CCD component in which drawing 8 A does not have a defect pixel, and drawing 8 B show the output for every pixel of a CCD

component with a defect pixel. Moreover, the time of day on drawing 8 A and corresponding to a pixel in  $p_1$ ,  $p_2$ , and respectively  $p_3$   $(k-1)$ ,  $(k)$  An output, the secondary curve which can approximate  $s_1$  with these outputs, and  $t_1$  are time of day when the secondary curve by this approximation takes extremal value  $d$ , and  $(k+1)$  sets to drawing 8 B. the time of day  $(k-1)$  corresponding to a pixel in  $p_{10}$ ,  $p_{11}$ , and respectively  $p_{12}$ , and  $(k) --$  and  $(k+1)$  an output (in addition,  $p_{11}$  is an output by the defect pixel), the secondary curve which can approximate  $s_{10}$  with these outputs, and  $t_{10}$  are time of day when the secondary curve by this approximation takes extremal value  $d$ .

[0117] As shown in drawing 8 A and B, in this example, the secondary curve  $s_{10}$  is applied [ 3 pixels near defect pixel  $x^*(k)$  ]. This approximates the secondary subject-copy image locally. Defect pixel  $x^*(k)$  is presumed by the channel which asks for the time of day  $t_{10}$  when this curve  $s_{10}$  takes extremal value  $d$ , and has a defect based on the time of day  $t_{10}$  which takes the about [ defect pixel  $p_{11}$  ] 2 point and extremal value  $d$  of the channel which has a defect since it is the same pixel.

[0118] Thus, in this example, since it is made to presume by the \*\*\*\* type shown by several 4, a presumed operation is realizable by certainty and easy circuitry. in addition, each input terminals 46 and 47 and .... each signal supplied to 50 shall be acquired by flip-flop circuit which was explained by drawing 2

[0119] Drawing 9 and drawing 10 are the examples of further others of the presumed arithmetic circuit 17 explained in drawing 1 and drawing 2 . In this drawing 9 and drawing 10 , the same sign is given to drawing 7 and drawing 8 , and a corresponding part, and that detail explanation is omitted.

[0120] Drawing 9 shows the example of a configuration of the presumed arithmetic circuit 17. in addition, the presumed arithmetic circuit 17 which showed the presumed arithmetic circuit 17 shown in this drawing 9 to drawing 7 and abbreviation -- since it is the same configuration, only a different part is explained.

[0121] The presumed arithmetic circuits 17 shown in this drawing 9 differed in the presumed arithmetic circuit 17 shown in drawing 7 , and the input terminal 49 with which signal  $y(k)$  is supplied is connected to an adder circuit 57. in order that [ namely, ] the circuitry shown in this drawing 9 may perform presumption between the channels which gave space pixel \*\*\*\*\* -- becoming -- \*\*\*\* .

[0122] If actuation of the presumed arithmetic circuit 17 shown in this drawing 9 is explained, it will set to an adder circuit 51 first. The signal  $x(k-1)$  supplied through an input terminal 46 and the signal  $x(k+1)$  supplied through an input terminal 47 are added, and it considers as Signal  $x(k-1)+x(k+1)$ . The multiplication circuit 52 is supplied, in this multiplication circuit 52, it is equalized to one half, and is referred to as signal  $\{x(k-1)+x(k+1)\} / 2$ , and an adder circuit

60 is supplied.

[0123] And Signal  $x(k+1)$  is supplied to an adder circuit 53 through Signal  $x(k-1)$  and an input terminal 47 through an input terminal 46, respectively, it is added in this adder circuit 53, and is set to  $x(k+1)-x(k-1)$ , and the multiplication circuit 56 is supplied.

[0124] On the other hand, signal  $y(k)$  is supplied to the multiplication circuit 55 through an input terminal 49, a multiplier can take advantage in this multiplication circuit 55, it is made  $2y(k)$ , and an adder circuit 54 is supplied.

Signal  $y(k+1)$  is supplied to an adder circuit 54 through Signal  $y(k-1)$  and an input terminal 50 again through an input terminal 48, respectively, therefore the output of this adder circuit 54 becomes  $y(k-1)+y(k+1)-2y(k)$ . This addition output is supplied to the multiplication circuit 56, the multiplication of it is carried out to the output  $x(k+1)-x(k-1)$  of an adder circuit 53, becomes  $\{y(k-1)+y(k+1)-2y(k)\} \cdot \{x(k+1)-x(k-1)\}$ , and is supplied to a ratio circuit 59 after this.

[0125] Now,  $y(k)$  is supplied to an adder circuit 57 through Signal  $y(k-1)$  and an input terminal 49 through an input terminal 48, respectively. The multiplication circuit 58 is supplied, and in this multiplication circuit 58, a multiplier can take advantage, it is set [ it is added in this adder circuit 57 and set to  $y(k)-y(k-1)$ , and ] to  $2\{y(k)-y(k-1)\}$ , and a ratio circuit 59 is supplied after this.

[0126] In a ratio circuit 59, the operation of  $\{y(k-1)+y(k+1)-2y(k)\} \cdot \{x(k+1)-x(k-1)\}$

$(k-1) \} / [2 \{y(k) - y(k-1)\}]$  is performed, and this result is supplied to an adder circuit 60.

[0127] And in an adder circuit 60,  $\{y(k-1) + y(k+1) - 2y(k)\} - \{x(k+1) - x(k-1)\} / [2 \{y(k) + y(k-1)\}]$  is subtracted from  $\{x(k-1) + x(k+1)\} / 2$  which are the output of the multiplication circuit 52. This subtraction result is supplied to the circuit of a video camera body which is not illustrated through an output terminal 61 as an amendment signal (presumed signal).

[0128]  $x$  [namely,  $x(n)$  -- ( $n = \dots, k-2, k-1, k, k+1, k+2, \dots$ ) --] when it considers as the output of a CCD component with a defect pixel, the amendment signal (presumed signal) over the output of a defect pixel can be acquired by the formula shown by the following several 5.

[0129]

[Equation 5]

$x^*(k)$

$= \{x(k-1) + x(k+1)\} / 2 - [\{y(k-1) + y(k+1) - 2y(k)\}$

$\{x(k+1) - x(k-1)\} / [2\{y(k) - y(k-1)\}]$

[0130] This is explained in more detail with reference to drawing 10. The output for every pixel of the CCD component in which drawing 10 A does not have a defect pixel like drawing 8, and drawing 10 B show the output for every pixel of a CCD component with a defect pixel. Moreover, the time of day on drawing 10 A

and corresponding to a pixel in  $p_1$ ,  $p_2$ , and respectively  $p_3$  ( $k-1$ ), ( $k$ ) An output, the secondary curve which can approximate  $s_1$  with these outputs, and  $t_1$  are time of day when the secondary curve by this approximation takes extremal value  $d$ , and and ( $k+1$ ) sets to drawing 10 B. the time of day ( $k-1$ ) corresponding to a pixel in  $p_{10}$ ,  $p_{11}$ , and respectively  $p_{12}$ , and ( $k$ ) -- and ( $k+1$ ) an output (in addition,  $p_{11}$  is an output by the defect pixel), the secondary curve which can approximate  $s_{10}$  with these outputs, and  $t_{10}$  are time of day when the secondary curve by this approximation takes extremal value  $d$ .

[0131] As shown in this drawing 10 , in this example, sample time of day is only carrying out abbreviation half period offset at real time of day. That is, it is not concerned nothing, but the time of day which takes extremal value  $d$  has the difference in a half-pixel period with the output of each pixel shown in drawing 10 A and B, respectively by there being a defect of time difference with the sample time of day  $k$ , although it is the same. The formula shown by several 5 takes this into consideration.

[0132] Thus, in this example, since it is made to presume by the \*\*\*\* type shown by several 5, the presumed operation between the CCD components from which the location of a pixel differs mutually by certainty and easy circuitry is realizable. in addition, each input terminals 46 and 47 and .... each signal supplied to 50 shall be acquired by flip-flop circuit which was explained by drawing 2



[0133] In addition, an above-mentioned example is an example of this invention, and, in addition to this, of course, various configurations can take in the range which does not deviate from the summary of this invention.

[0134]

[Effect of the Invention] According to above-mentioned \*\*\*\* this invention, by the control means The inside of each pixel of a solid state image sensor, Generate the signal which shows the location of the pixel used as the candidate for amendment, and the amendment signal of a pixel with which an amendment means serves as a candidate for amendment at the signal list based on two or more output signals from two or more sampling means is acquired, respectively.

Since it was made to output alternatively the output signal or amendment signal from a sampling means with an output means based on the control signal from a control means, image data, such as fine pinstripes, can also be reproduced, for example, and degradation of image quality can be prevented by this.

[0135] Furthermore, since it was made to perform a correlation duplex sampling for the output from two or more solid state image sensors based on two or more 1st [ the ] of a timing generating means, and the 2nd sample hold signal in \*\*\*\* according to this invention, in addition to above-mentioned effectiveness, a better presumed operation can be performed.

[0136] Furthermore, since the control means used the location of the pixel for

amendment of two or more solid state image sensors which have been memorized for the storage means according to this invention in \*\*\*\*, in addition to above-mentioned effectiveness, positive control can be performed corresponding to the location of a defect pixel.

[0137] Furthermore, since supply of two or more sampling signals which receive a sampling means according to this invention was chosen with two or more selection means based on the control signal from a control means in \*\*\*\*, in addition to above-mentioned effectiveness, activation of a sampling can be controlled, the mute of the output by the defect pixel can be certainly carried out by this, and the output of a defect pixel affects breadth and next processing neither by a sampling nor pretreatment of A-D conversion.

[0138] Furthermore, according to this invention, in \*\*\*\*, the output from two or more sampling means is changed into a digital signal with two or more conversion means. Since each output from the conversion means of these plurality is delayed with a delay means and the amendment signal of the pixel for amendment was presumed with the presumed operation means based on the control signal from two or more each output and control means from a conversion means In addition to above-mentioned effectiveness, the presumed signal corresponding to a defect pixel can be acquired good.

[0139] According to this invention, in \*\*\*\* Furthermore, the inside of the solid

state image sensor of plurality [ means / presumed operation ], As opposed to the pixel of the 1st and 2nd solid state image sensors presumption of the amendment signal of the pixel for amendment of the output of the 3rd solid state image sensor of \*\*\*\*\* pettinesses \*\*\*\*\* Since it was made to carry out among two or more solid state image sensors using the output of the 1st or 2nd solid state image sensor, in addition to above-mentioned effectiveness, high presumption of precision can be performed corresponding to the defect pixel of the 3rd solid state image sensor.

[0140] Furthermore, since it was made to perform presumption of the amendment signal whose presumed operation means is the pixel for amendment of the output of the 1st solid state image sensor among two or more solid state image sensors among two or more solid state image sensors using the output of the 2nd solid state image sensor in \*\*\*\* according to this invention, in addition to above-mentioned effectiveness, high presumption of precision can be performed corresponding to the defect pixel of the 1st solid state image sensor.

[0141] Furthermore, since it was made to perform presumption of the amendment signal whose presumed operation means is the pixel for amendment of the output of the 2nd solid state image sensor among two or more solid state image sensors among two or more solid state image sensors using

the output of the 1st solid state image sensor in \*\*\*\* according to this invention, in addition to above-mentioned effectiveness, high presumption of precision can be performed corresponding to the defect pixel of the 2nd solid state image sensor.

[0142] Furthermore, since what has high level was chosen when the amendment signal whose presumed operation means is the pixel for amendment of the output of one solid state image sensor among two or more solid state image sensors was acquired based on the output of two or more solid state image sensors of another side in \*\*\*\* according to this invention, in addition to above-mentioned effectiveness, the good output of S/N can be obtained more.

[0143] Furthermore, since what has high level was chosen when the amendment signal whose presumed operation means is the pixel for amendment of the output of the 3rd solid state image sensor among two or more solid state image sensors was acquired based on the output of the 1st and 2nd solid state image sensors in \*\*\*\* according to this invention, in addition to above-mentioned effectiveness, the good output of S/N can be obtained more.

[0144] Furthermore, according to this invention, in \*\*\*\*, the 1st operation means performs the operation of the output of the 1st solid state image sensor, and the operation output of the 1st and 2nd solid state image sensors among two or more solid state image sensors. The 2nd operation means performs the

operation of the output of the 2nd solid state image sensor, and the operation output of the 2nd and 1st solid state image sensors among two or more solid state image sensors. Since the 3rd operation means was made to perform the operation of the output of the 3rd solid state image sensor of \*\*\*\*\* pettinesses \*\*\*\*\* , and the average output of the 2nd solid state image sensor to the pixel of the 1st and 2nd solid state image sensors among two or more solid state image sensors, in addition to above-mentioned effectiveness, still better presumption can be performed.

[0145] Furthermore, according to this invention, in \*\*\*\*, the output of the 1st solid state image sensor is latched with the 1st latch means. Latch the output from this 1st latch means with the 2nd latch means, and a multiplication means performs the multiplication of the output of the 2nd solid state image sensor from the 2nd operation means, and the output from the 1st latch means. Since the division means was made to perform division in the output from the 2nd latch means, and the multiplication output from a multiplication means, in addition to above-mentioned effectiveness, circuitry becomes easy and, moreover, positive data processing can be performed.

[0146] Furthermore, according to this invention, in \*\*\*\*, the output of the 2nd solid state image sensor is latched with the 1st latch means. Latch the output from this 1st latch means with the 2nd latch means, and a multiplication means

performs the multiplication of the output of the 1st solid state image sensor from the 1st operation means, and the output from the 1st latch means. Since the division means was made to perform division in the output from the 2nd latch means, and the multiplication output from a multiplication means, in addition to above-mentioned effectiveness, circuitry becomes easy and, moreover, positive data processing can be performed.

[0147] Furthermore, according to this invention, in \*\*\*\*, the output of the 3rd solid state image sensor is latched with the 1st latch means. The output before one is added with an average means from the output of the 2nd solid state image sensor from the 2nd operation means at present, and this this time. Average and the multiplication of the average output from this average means and the output of the 3rd solid state image sensor from the 1st latch means is carried out with a multiplication means. Since the average output from an average means is latched with the 2nd latch means and the division means was made to perform division in the output from this 2nd latch means, and the multiplication output from a multiplication means, in addition to above-mentioned effectiveness, circuitry becomes easy and, moreover, positive data processing can be performed.

[0148] Furthermore, according to this invention, in \*\*\*\*, a presumed operation means sets time of day of arbitration to k. Time of day in front of one is set to

(k-1) from the time of day of this arbitration. The inside of two or more solid state image sensors, The output of y and the 2nd solid state image sensor is set to x for the output of the 1st solid state image sensor. Since the amendment signal of the output which should be amended by the formula shown by  $y(k)/y(k-1)$  and x (k-1) was searched for when it was the output which the output of the 2nd solid state image sensor corresponding to time of day k should amend, in addition to above-mentioned effectiveness, presumed processing can be simplified.

[0149] According to this invention, in \*\*\*\* Furthermore, the inside of the output of the solid state image sensor of plurality [ means / presumed operation ], Apply a secondary curve to two or more near pixels of the pixel corresponding to the output which should be amended using the output of at least two solid state image sensors, and the secondary subject-copy image is approximated locally. Since the amendment signal of the output which should be amended based on the time of day which takes two or more near pixels and extremal value of a pixel corresponding to the output to which a curve should ask for the time of day which takes extremal value, and should amend was presumed, a good amendment signal can be acquired, good amendment can be performed, and the image quality of an output image can be raised.

[0150] Furthermore, according to this invention, in \*\*\*\*, a presumed operation means sets time of day of arbitration to k. Time of day in front of one is set to

(k-1) from the time of day of this arbitration. The inside of two or more solid state image sensors, The output of y and the 2nd solid state image sensor is set to x for the output of the 1st solid state image sensor. When it is the output which the output of the 2nd solid state image sensor corresponding to time of day k should amend It adds to above-mentioned effectiveness.  $\{x(k+1)+x(k-1)\} / 2$ -, since the amendment signal of the output which should be amended by the formula shown by  $[y + \{x(k+1)-x(k-1)\}]$  and  $/ \{y(k+1)+y(k-1)-2y(k)\} / 2$   $\{y(k+1)-y(k-1)\}$  was searched for The presumed precision of an amendment signal can be raised.

[0151] According to this invention, in \*\*\*\* Furthermore, the inside of the output of the solid state image sensor of plurality [ means / presumed operation ], The output of two solid state image sensors which have offset of a half-pixel period mutually at least is used. Apply a secondary curve to two or more near pixels of the pixel corresponding to the output which should be amended, and the secondary subject-copy image is approximated locally. Since the amendment signal of the output which should be amended based on the time of day which takes two or more near pixels and extremal value of a pixel corresponding to the output to which a curve should ask for the time of day which takes extremal value, and should amend was presumed Even if the location of a pixel is shifted geometrically in addition to above-mentioned effectiveness, a good amendment signal can be acquired, good amendment can be performed, and the image



quality of an output image can be raised.

[0152] Furthermore, according to this invention, in \*\*\*\*, a presumed operation means sets time of day of arbitration to k. Time of day in front of one is set to (k-1) from the time of day of this arbitration. The inside of two or more solid state image sensors, The output of y and the 2nd solid state image sensor is set to x for the output of the 1st solid state image sensor. When it is the output which the output of the 2nd solid state image sensor corresponding to time of day k should amend It adds to above-mentioned effectiveness.  $\{x(k+1)+x(k-1)\} / 2$ -, since the amendment signal of the output which should be amended by the formula shown by  $y [ \{x(k+1)-x(k-1)\} ]$  and  $/ \{y(k+1)+y(k-1)-2y(k)\} / 4 \{y(k)-y(k-1)\}$  was searched for The presumed precision of an amendment signal can be raised.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing one example of the compensator of this invention solid state image sensor.

[Drawing 2] It is the block diagram showing the important section of one example of the compensator of this invention solid state image sensor.

[Drawing 3] It is an explanatory view for explaining the primary presumption with which explanation of one example of the compensator of this invention solid state image sensor is presented.

[Drawing 4] It is the explanatory view showing the example of an output wave of the CCD component with which explanation of one example of the compensator of this invention solid state image sensor is presented.

[Drawing 5] It is the explanatory view showing the example of the pixel arrangement with which explanation of one example of the compensator of this invention solid state image sensor is presented, and an incidence image.

[Drawing 6] It is the wave form chart with which explanation of one example of the compensator of this invention solid state image sensor is presented.

[Drawing 7] It is the block diagram showing other examples of the important section of one example of the compensator of this invention solid state image sensor.

[Drawing 8] It is the explanatory view of a \*\*\*\*\* sake about presumption of the amendment with which explanation of other examples of the important section of one example of the compensator of this invention solid state image sensor is presented.

[Drawing 9] It is the block diagram showing the example of further others of the important section of one example of the compensator of this invention solid state

image sensor.

[Drawing 10] It is an explanatory view for explaining presumption of the amendment with which explanation of the example of further others of the important section of one example of the compensator of this invention solid state image sensor is presented.

[Description of Notations]

1, 2, 3 CCD component

4 Timing Generating Circuit

5, 6, 7 Switch

8, 9, 10 Correlation duplex sampling circuit

~~11, 12, 13 A/D-converter~~

14, 15, 16 Delay circuit

17 Presumed Arithmetic Circuit

18 Defective Location Memory

19 Defective Position Signal Generating Circuit

20, 22, 24 Switch

27, 28, 33, 34, 41, 43 Flip-flop circuit

29, 35, 42, 52, 55, 56, 58 Multiplication circuit

30, 36, 44, 59 Ratio circuit

38, 51, 53, 54, 57, 60 Adder circuit